

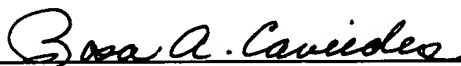
#2

Attorney Docket No.: 2102475-991170

EXPRESS MAIL NUMBER: EL 904 946 156 US

DATE OF DEPOSIT: September 27, 2001

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: **Box PATENT APPLICATION**, Commissioner for Patents; Washington, DC 20231.



Rosa A. Caviedes

J1046 U.S. PTO

09/966667



09/27/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kouchi et al.

Serial No.: Not yet assigned

Group Art Unit: Not yet assigned

Filed: September 27, 2001

Examiner: Not yet assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING CLOCK
SYNCHRONOUS TYPE CIRCUIT AND CLOCK NON-SYNCHRONOUS
TYPE CIRCUIT

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the
applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2000-297705	09/28/2000

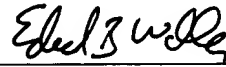
A Certified copy of the corresponding Convention Application(s) is(are) being submitted
herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: September 27, 2001

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
1755 Embarcadero Road
Palo Alto, CA 94303-3340
Telephone: (650) 833-2000
Facsimile: (650) 320-7401

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月28日

出 願 番 号
Application Number:

特願2000-297705

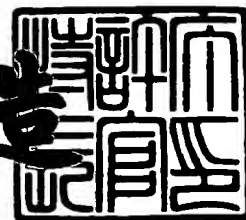
出 願 人
Applicant(s):

株式会社東芝

2001年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3060526

【書類名】 特許願

【整理番号】 A000005680

【提出日】 平成12年 9月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体集積回路

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 小内 俊之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 吉原 正浩

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 鯉沼 弘之

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項1】 リード制御信号に基づいてデータリード動作を行い、クロック信号に非同期に、データ出力ノードからリードデータを出力するクロック非同期型回路と、

前記クロック信号に同期して、データ入力ノードから前記リードデータを取り込むクロック同期型回路と、

前記データ出力ノードと前記データ入力ノードの間に並列に接続される複数のデータ記憶回路と、

前記複数のデータ記憶回路のうちの1つを選択し、前記クロック非同期型回路から出力される前記リードデータを選択された1つのデータ記憶回路に転送する第1転送タイミング決定回路と、

前記複数のデータ記憶回路のうちの1つを選択し、選択された1つのデータ記憶回路に記憶された前記リードデータを前記クロック同期型回路に転送する第2転送タイミング決定回路とを具備し、

前記第1転送タイミング決定回路は、前記リードデータが前記クロック非同期型回路から出力されたことを示す第1制御信号に基づいて前記リードデータの転送を行い、前記第2転送タイミング決定回路は、前記クロック信号に同期した第2制御信号に基づいて前記リードデータの転送を行う

ことを特徴とする半導体集積回路。

【請求項2】 前記複数のデータ記憶回路の各々は、前記リードデータをラッチするラッチ回路と、前記データ出力ノードと前記ラッチ回路の間に接続される第1スイッチング回路と、前記ラッチ回路と前記データ入力ノードの間に接続される第2スイッチング回路とから構成されることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第1転送タイミング決定回路は、前記第1スイッチング回路を制御し、前記第2転送タイミング決定回路は、前記第2スイッチング回路を制御することを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記複数のデータ記憶回路の各々は、前記データ出力ノードと前記データ入力ノードの間に直列に接続されるスイッチング機能を有する第1及び第2ラッチ回路から構成されることを特徴とする請求項1記載の半導体集積回路。

【請求項5】 前記第1転送タイミング決定回路は、前記第1ラッチ回路を制御し、前記第2転送タイミング決定回路は、前記第2ラッチ回路を制御することを特徴とする請求項4記載の半導体集積回路。

【請求項6】 前記複数のデータ記憶回路の各々は、前記データ出力ノードと前記データ入力ノードの間に直列に接続される第1及び第2フリップフロップ回路から構成されることを特徴とする請求項1記載の半導体集積回路。

【請求項7】 前記第1転送タイミング決定回路は、前記第1フリップフロップ回路を制御し、前記第2転送タイミング決定回路は、前記第2フリップフロップ回路を制御することを特徴とする請求項6記載の半導体集積回路。

【請求項8】 リード制御信号に基づいてデータリード動作を行い、クロック信号に非同期に、データ出力ノードからリードデータを出力するクロック非同期型回路と、

前記クロック信号に同期して、データ入力ノードから前記リードデータを取り込むクロック同期型回路と、

選択回路と、

前記データ出力ノードと前記選択回路の間に並列に接続される複数の第1データ記憶回路と、

前記選択回路と前記データ入力ノードの間に接続される第2データ記憶回路と

前記複数の第1データ記憶回路のうちの1つを選択し、前記クロック非同期型回路から出力される前記リードデータを選択された1つの第1データ記憶回路に転送する第1転送タイミング決定回路と、

前記第2データ記憶回路に記憶された前記リードデータを前記クロック同期型回路に転送するタイミングを決定する第2転送タイミング決定回路とを具備し、

前記第1転送タイミング決定回路は、前記リードデータが前記クロック非同期

型回路から出力されたことを示す第 1 制御信号に基づいて前記リードデータの転送を行い、前記第 2 転送タイミング決定回路は、前記クロック信号に同期した第 2 制御信号に基づいて前記リードデータの転送を行う

ことを特徴とする半導体集積回路。

【請求項 9】 前記選択回路は、前記第 2 制御信号に基づいて生成された第 3 制御信号により、前記複数の第 1 データ記憶回路のうちの 1 つに記憶された前記リードデータを前記第 2 データ記憶回路に転送する機能を有することを特徴とする請求項 8 記載の半導体集積回路。

【請求項 10】 前記選択回路は、マルチプレクサであることを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】 前記複数の第 1 データ記憶回路及び前記第 2 データ記憶回路の各々は、スイッチング機能を有するラッチ回路から構成されることを特徴とする請求項 8 記載の半導体集積回路。

【請求項 12】 前記複数の第 1 データ記憶回路及び前記第 2 データ記憶回路の各々は、フリップフロップ回路から構成されることを特徴とする請求項 8 記載の半導体集積回路。

【請求項 13】 前記第 1 制御信号は、前記クロック非同期型回路から出力され、前記クロック信号に非同期の信号であることを特徴とする請求項 1 又は 8 記載の半導体集積回路。

【請求項 14】 前記第 1 制御信号は、前記リード制御信号に基づいて生成され、前記データリード動作の開始から前記リードデータが前記クロック非同期型回路外に出力されるまでの時間に相当する遅延時間を経た後に前記クロック非同期型回路から出力されることを特徴とする請求項 1 又は 8 記載の半導体集積回路。

【請求項 15】 前記第 2 制御信号は、前記リード制御信号に基づいて前記リードデータを前記クロック同期型回路に転送するタイミングを決定することを特徴とする請求項 1 又は 8 記載の半導体集積回路。

【請求項 16】 前記クロック非同期型回路は、前記クロック信号に非同期に動作する D R A M の機能を有することを特徴とする請求項 1 又は 8 記載の半導

体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号に同期して動作するクロック同期型回路とクロック信号に非同期に動作するクロック非同期型回路が1チップ上に搭載された半導体集積回路に関する。

【0002】

【従来の技術】

近年、プロセス技術の進歩により半導体素子の微細化及び高集積化が進展し、これに伴い、1チップ上に、複数の機能ブロックを搭載して、1チップ上にシステム全体を搭載することが可能になってきた。

【0003】

このような現状を背景に、クロック信号に同期して動作するクロック同期型回路とクロック信号に非同期に動作するクロック非同期型回路が1チップ上に搭載された半導体集積回路も実現されている。

【0004】

クロック同期型回路とクロック非同期型回路が混載された半導体集積回路においては、クロック同期型回路とクロック非同期型回路の間で、直接、データのやりとりを行うことはできないので、両回路の間に、いわゆるレイテンシを設定し得る記憶回路（レイテンシ制御回路）を配置している。

【0005】

つまり、クロック同期型回路とクロック非同期型回路の間のデータのやりとりは、記憶回路を介して行われることになる。

【0006】

ここで、レイテンシ（Latency）とは、データが、クロック非同期型回路から出力された後、クロック同期回路に入力されるまでのデータの潜伏期間のことをいい、通常、クロック数（クロック信号の1周期分を1クロックとする）で表される。

【0007】

以下、このレイテンシを設定する記憶回路について説明する。

【0008】

図17は、レイテンシを設定する従来の記憶回路の第1例を示している。

【0009】

本例では、レイテンシを“3”に設定することを前提とする。一般に、記憶回路により、レイテンシ“N（Nは、自然数）”を実現するためには、記憶回路は、（N-1）個のラッチ回路を有していなければならない。従って、本例では、レイテンシを決定する記憶回路11は、2個のラッチ回路（L1，L2）3を有している。

【0010】

具体的には、2個のラッチ回路3は、クロック非同期型回路1のデータ出力ノードとクロック同期型回路2のデータ入力ノードの間に直列接続される。クロック非同期型回路1のデータ出力ノードとラッチ回路（L1）3との間には、スイッチング回路（S1）4が接続される。また、ラッチ回路（L1）3とラッチ回路（L2）3との間には、スイッチング回路（S2）4が接続され、ラッチ回路（L2）3とクロック同期型回路2のデータ入力ノードとの間には、スイッチング回路（S3）4が接続される。

【0011】

転送タイミング決定回路（G1，G2，G3）5は、スイッチング回路（S1，S2，S3）4に対応して設けられている。転送タイミング決定回路（G1）5は、クロック信号Clockに基づいて、スイッチング回路（S1）4を制御する制御信号PSiを生成する。また、転送タイミング決定回路（G2）5は、クロック信号Clockに基づいて、スイッチング回路（S2）4を制御する制御信号PSoを生成し、転送タイミング決定回路（G3）5は、クロック信号Clockに基づいて、スイッチング回路（S3）4を制御する制御信号POを生成する。

【0012】

クロック非同期型回路1からデータを読み出すための読み出し動作を制御する

リード制御信号READは、クロック非同期型回路1に入力される。このリード制御信号READは、例えば、クロック信号Clockから生成されるもので、クロック信号Clockに同期している。

【0013】

上述の記憶回路においては、例えば、リード制御信号READの立ち上がりエッジから、クロック非同期型回路1の性能により決まる一定の遅延時間 t_d が経過したときに、クロック非同期型回路1のデータ出力ノードからリードデータRDが出力される。この遅延時間 t_d は、クロック信号Clockの周期 t_{clk} 又は周波数 f_{clk} ($=1/t_{clk}$) とは無関係であり、両者の大小関係によっては、データ転送が確実に行われない場合がある。

【0014】

そこで、タイミングチャートを参照しつつ、遅延時間 t_d とクロック信号Clockの周期 t_{clk} との関係について説明する。

【0015】

(1) $t_d < t_{clk}$ の場合

この場合のタイミングチャートは、図18に示すようになる。

【0016】

クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合には、常に、クロック非同期型回路1からリードデータRD ($=D_0, D_1, D_2$) が出力された後に、リードデータRDを、第1クロックから作られる制御信号PSiによって記憶回路11内 (QRi) に取り込むことができる。

【0017】

そして、第2クロックから作られるPSoが第1クロックから作られる制御信号PSiよりも後に立ち上がる (“L” → “H”) ために、正常に、リードデータRD ($=D_0, D_1, D_2$) をQRoに転送することができる。このため、リードデータRDを、正確に、一定のレイテンシ (本例では、“3”) を確保しつつ、クロック同期型回路2に転送することができる。

【0018】

(2) $t_d > t_{clk}$ の場合

この場合のタイミングチャートは、図19に示すようになる。

【0019】

クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合、即ち、動作周波数を高くした場合には、最初のリードデータRD(=D0)が、第1クロックから作られるPSiによってノードQRiに取り込まれる前に、第2クロックから作られるPSoが立ち上がる(“L”→“H”)ことがある。

【0020】

この場合、ノードQRiには、リードデータRD(=D0)が取り込まれる前の状態(不定)が存在するために、第2クロックから作られる制御信号PSoによって、この不定状態をノードQRoに転送してしまう。つまり、この場合には、リードデータRDを、正確に、一定のレイテンシ(本例では、“3”)を確保しつつ、クロック同期型回路2に転送することができない。

【0021】

なお、リードデータRDは、制御信号READの立ち上がりエッジから一定の遅延時間 t_d 後にクロック非同期型回路1から出力される。また、スイッチング回路S1, S2, S3は、それぞれ、制御信号PSi, PSo, POの立ち上がりエッジに反応して、リードデータRDを入力側から出力側に転送する。

【0022】

ところで、 $t_d > t_{clk}$ の場合における問題を解決するには、予め、遅延時間 t_d とクロック信号Clockの周期 t_{clk} の比(t_d/t_{clk})を求めておき、この比に応じて、転送するタイミングを決めているPSoを使用しなければよい。

【0023】

この時、予め、PSoを使用しないことが分かっているため、記憶回路11内のラッチ回路の数を1つ減らし、図17に示すような記憶回路を、図20に示すような記憶回路に変更する必要がある。

【0024】

ところが、図20に示すような構成を有する記憶回路において、リード制御信号READの立ち上がりエッジAからその直後のクロックClockを1つ飛ば

した後に制御信号PSを立ち上げる場合には、 $t_d < t_{clk}$ の場合（動作周波数が低くなった場合）に新たな問題を発生させる。

【0025】

そこで、図20の記憶回路における遅延時間 t_d とクロック信号Clockの周期 t_{clk} との関係について説明する。

【0026】

(1) $t_d > t_{clk}$ の場合

この場合のタイミングチャートは、図21に示すようになる。

【0027】

クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合（ $1 \leq t_d / t_{clk} < 2$ ）には、リード制御信号READが入力された直後のクロックClockを1つ飛ばして、リードデータRDを記憶回路11に取り込むための制御信号PSのレベルが立ち上がる（“L” → “H”）。

【0028】

そして、リード制御信号READが入力された直後のクロックClockを1つ飛ばしているために、常に、クロック非同期型回路1からリードデータRD（=D0, D1, D2）が出力された後に、記憶回路11内にデータが取りこまれる。このため、リードデータRDを、正確に、一定のレイテンシ（本例では、“3”）を確保しつつ、クロック同期型回路2に転送することができる。

【0029】

(2) $t_d < t_{clk}$ の場合

この場合のタイミングチャートは、図22に示すようになる。

【0030】

クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合、即ち、動作周波数を低くした場合には、クロック非同期型回路1から最初のリードデータRD（=D0）が出力されると、リードデータRDを記憶回路11内に取り込むための制御信号PSのレベルが立ち上がる（“L” → “H”）ので、データは、正常に、記憶回路11内に取り込まれる。

【0031】

しかし、記憶回路11からその外部にリードデータRDを取り出すための制御信号POが、リード制御信号READが入力された直後のクロックClockを1つ飛ばしているために、記憶回路11の外部へリードデータRDが出力される前に、記憶回路11内にあるリードデータRD(=D0)は、次のリードデータRD(=D1)に変化してしまう。

【0032】

つまり、記憶回路11の外部へリードデータRD(=D0)が出力される前に、制御信号PSによって、次のリードデータRD(=D1)が記憶回路11のノードQRに取り込まれ、以前にノードQRに取り込まれていたリードデータRD(=D0)に対して上書きしてしまうため、結果として、ノードQには、最初のリードデータRD(=D0)が出力されることはない。

【0033】

このように、クロック非同期型回路1から最初に出力されるリードデータRD(=D0)は、記憶回路11内には取り込まれるが、記憶回路11の内部においてリードデータRD(=D1)に上書きされてしまうため、記憶回路11の外部に出力されることはない。つまり、この場合には、リードデータRDを、正確に、一定のレイテンシ(本例では、“3”)を確保しつつ、クロック同期型回路2に転送することができない。

【0034】

【発明が解決しようとする課題】

このように、従来においては、クロック信号Clockに同期したリード制御信号READの立ち上がりエッジから一定の遅延時間tdが経過した後に、クロック非同期型回路からリードデータRDが出力される場合に、記憶回路は、クロック信号Clockから作られるPSiと、転送のタイミングを決める制御信号PSoとのタイミングを一定に保つか、又は、PSoを使わない、という手段を採用しない限り、正確に、一定のレイテンシを保った状態で、リードデータを転送することができなかった。

【0035】

本発明は、上記問題を解決するためになされたもので、その目的は、どのよう

な動作周波数帯域においても、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することができる記憶回路（レイテンシ制御回路）を提供することにある。

【0036】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体集積回路は、リード制御信号に基づいてデータリード動作を行い、クロック信号に非同期に、データ出力ノードからリードデータを出力するクロック非同期型回路と、前記クロック信号に同期して、データ入力ノードから前記リードデータを取り込むクロック同期型回路と、前記データ出力ノードと前記データ入力ノードの間に並列に接続される複数のデータ記憶回路と、前記複数のデータ記憶回路のうちの1つを選択し、前記クロック非同期型回路から出力される前記リードデータを選択された1つのデータ記憶回路に転送する第1転送タイミング決定回路と、前記複数のデータ記憶回路のうちの1つを選択し、選択された1つのデータ記憶回路に記憶された前記リードデータを前記クロック同期型回路に転送する第2転送タイミング決定回路とを備え、前記第1転送タイミング決定回路は、前記リードデータが前記クロック非同期型回路から出力されたことを示す第1制御信号に基づいて前記リードデータの転送を行い、前記第2転送タイミング決定回路は、前記クロック信号に同期した第2制御信号に基づいて前記リードデータの転送を行う。

【0037】

前記複数のデータ記憶回路の各々は、前記リードデータをラッチするラッチ回路と、前記データ出力ノードと前記ラッチ回路の間に接続される第1スイッチング回路と、前記ラッチ回路と前記データ入力ノードの間に接続される第2スイッチング回路とから構成される。

【0038】

前記第1転送タイミング決定回路は、前記第1スイッチング回路を制御し、前記第2転送タイミング決定回路は、前記第2スイッチング回路を制御する。

【0039】

前記複数のデータ記憶回路の各々は、前記データ出力ノードと前記データ入力

ノードの間に直列に接続されるスイッチング機能を有する第 1 及び第 2 ラッチ回路から構成される。

【 0 0 4 0 】

前記第 1 転送タイミング決定回路は、前記第 1 ラッチ回路を制御し、前記第 2 転送タイミング決定回路は、前記第 2 ラッチ回路を制御する。

【 0 0 4 1 】

前記複数のデータ記憶回路の各々は、前記データ出力ノードと前記データ入力ノードの間に直列に接続される第 1 及び第 2 フリップフロップ回路から構成される。

【 0 0 4 2 】

前記第 1 転送タイミング決定回路は、前記第 1 フリップフロップ回路を制御し、前記第 2 転送タイミング決定回路は、前記第 2 フリップフロップ回路を制御する。

【 0 0 4 3 】

本発明の半導体集積回路は、リード制御信号に基づいてデータリード動作を行い、クロック信号に非同期に、データ出力ノードからリードデータを出力するクロック非同期型回路と、前記クロック信号に同期して、データ入力ノードから前記リードデータを取り込むクロック同期型回路と、選択回路と、前記データ出力ノードと前記選択回路の間に並列に接続される複数の第 1 データ記憶回路と、前記選択回路と前記データ入力ノードの間に接続される第 2 データ記憶回路と、前記複数の第 1 データ記憶回路のうちの 1 つを選択し、前記クロック非同期型回路から出力される前記リードデータを選択された 1 つの第 1 データ記憶回路に転送する第 1 転送タイミング決定回路と、前記第 2 データ記憶回路に記憶された前記リードデータを前記クロック同期型回路に転送するタイミングを決定する第 2 転送タイミング決定回路とを備え、前記第 1 転送タイミング決定回路は、前記リードデータが前記クロック非同期型回路から出力されたことを示す第 1 制御信号に基づいて前記リードデータの転送を行い、前記第 2 転送タイミング決定回路は、前記クロック信号に同期した第 2 制御信号に基づいて前記リードデータの転送を行う。

【 0 0 4 4 】

前記選択回路は、前記第 2 制御信号に基づいて生成された第 3 制御信号により、前記複数の第 1 データ記憶回路のうちの 1 つに記憶された前記リードデータを前記第 2 データ記憶回路に転送する機能を有する。

【 0 0 4 5 】

前記選択回路は、マルチプレクサである。

【 0 0 4 6 】

前記複数の第 1 データ記憶回路及び前記第 2 データ記憶回路の各々は、スイッチング機能を有するラッチ回路から構成される。

【 0 0 4 7 】

前記複数の第 1 データ記憶回路及び前記第 2 データ記憶回路の各々は、フリップフロップ回路から構成される。

【 0 0 4 8 】

前記第 1 制御信号は、前記クロック非同期型回路から出力され、前記クロック信号に非同期の信号である。

【 0 0 4 9 】

前記第 1 制御信号は、前記リード制御信号に基づいて生成され、前記データリード動作の開始から前記リードデータが前記クロック非同期型回路外に出力されるまでの時間に相当する遅延時間を経た後に前記クロック非同期型回路から出力される。

【 0 0 5 0 】

前記第 2 制御信号は、前記リード制御信号に基づいて前記リードデータを前記クロック同期型回路に転送するタイミングを決定する。

【 0 0 5 1 】

前記クロック非同期型回路は、前記クロック信号に非同期に動作する DRAM の機能を有する。

【 0 0 5 2 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体集積回路について詳細に説明する

【0053】

〔第1実施の形態〕

図1は、本発明の第1実施の形態に関わる記憶回路（レイテンシ制御回路）を示している。

【0054】

本例では、レイテンシを“N（Nは、自然数）”に設定することを前提とする。そして、本発明の記憶回路は、レイテンシ“N”を実現するため、N個のラッチ回路（R1, R2, … RN）3を有している。但し、レイテンシの“N”とラッチ回路の数“N”は、無関係であり、通常、記憶回路がN個のラッチ回路を有する場合、レイテンシは、N+1以下の任意の値に設定可能である。

【0055】

N個のラッチ回路（R1, R2, … RN）3は、クロック非同期型回路（例えば、DRAMの機能を有するブロック）1のデータ出力ノードとクロック同期型回路2のデータ入力ノードの間に並列接続される。そして、クロック非同期型回路1のデータ出力ノードとラッチ回路（R1）3との間には、スイッチング回路（S11）4が接続され、ラッチ回路（R1）3とクロック同期型回路2のデータ入力ノードとの間には、スイッチング回路（S12）4が接続される。

【0056】

同様に、クロック非同期型回路1のデータ出力ノードとラッチ回路（RN）3との間には、スイッチング回路（SN1）4が接続され、ラッチ回路（RN）3とクロック同期型回路2のデータ入力ノードとの間には、スイッチング回路（SN2）4が接続される。

【0057】

転送タイミング決定回路6は、スイッチング回路（S11, S21, … SN1）4に対応して設けられ、転送タイミング決定回路7は、スイッチング回路（S12, S22, … SN2）4に対応して設けられている。

【0058】

転送タイミング決定回路6は、クロック非同期型回路1から出力される制御信

号RLPLSに基づいて、スイッチング回路(S11, S21, … SN1) 4の動作を制御する制御信号PI<1>, PI<2>, … PI<N>を生成する。

【0059】

ここで、制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であり、本発明に特有なものである。つまり、従来(図17及び図20)では、クロック信号Clockによりスイッチング回路の動作が制御されていたが、本発明では、制御信号RLPLSによりスイッチング回路(S11, S21, … SN1) 4の動作を制御している。

【0060】

そして、制御信号PI<1>, PI<2>, … PI<N>は、制御信号RLPLSに同期して、順次、立ち上がる(“L”→“H”)ため、制御信号PI<1>, PI<2>, … PI<N>の立ち上がりエッジに反応して、スイッチング回路(S11, S21, … SN1) 4は、リードデータRDを、入力側から出力側に転送する。

【0061】

制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であるから、当然に、リードデータRDが出力されると同時に、又はその直後に、クロック非同期型回路1からリードデータRDが出力されなければならない。

【0062】

そのためには、例えば、図2に示すように、クロック非同期型回路1内に、リード制御信号READに基づいて制御信号RLPLSを生成するRLPLS生成回路8と制御信号RLPLSを一定時間だけ遅延させる遅延回路9とを設ければよい。そして、遅延回路9の遅延時間は、周辺回路10Bによりメモリセルアレイ10Aのメモリセルが選択され、かつ、選択されたメモリセルのリードデータRDがクロック非同期型回路1外に出力されるまでの時間と等しいか、又はそれよりも少しだけ遅い値に設定される。

【0063】

また、転送タイミング決定回路 7 は、クロック信号 $Clock$ に同期した制御信号 PO に基づいて、スイッチング回路 ($S12, S22, \dots, SN2$) 4 の動作を制御する制御信号 $PO<1>, PO<2>, \dots, PO<N>$ を生成する。そして、制御信号 $PO<1>, PO<2>, \dots, PO<N>$ は、クロック信号 $Clock$ に同期して、順次、立ち上がる (“L” → “H”) ため、制御信号 $PO<1>, PO<2>, \dots, PO<N>$ の立ち上がりエッジに反応して、スイッチング回路 ($S12, S22, \dots, SN2$) 4 は、リードデータ RD を、入力側から出力側に転送する。

【0064】

上述の記憶回路（レイテンシ制御回路）においては、ラッチ回路 ($R1, R2, \dots, RN$) 3 は、クロック非同期型回路 1 とクロック同期型回路 2 の間に並列に接続される。また、スイッチング回路 ($S11, S21, \dots, SN1$) 4 により、リードデータ ($D0, D1, \dots, Dn$) RD を、ラッチ回路 ($R1, R2, \dots, RN$) 3 に振り分けている。

【0065】

ここで、本発明の記憶回路では、リードデータ ($D0, D1, \dots, Dn$) RD をラッチ回路 ($R1, R2, \dots, RN$) 3 に振り分ける動作に関して、その動作を制御信号 $RLPLS$ により制御している。この制御信号 $RLPLS$ は、クロック非同期型回路 1 からリードデータ RD が出力されたことを示す信号であり、従来のようにクロック信号 $Clock$ のタイミングと常に一致しているものではない。

【0066】

これにより、クロック信号の周期（又は周波数）とリード動作の開始（リード制御信号の立ち上がり）からリードデータが出力されるまでの時間との関係にかかわらず、常に、クロック非同期型回路のリードデータを正確に記憶回路内のラッチ回路に振り分け、かつ、このリードデータをクロック信号に同期させてクロック同期型回路内に取り込むことができる。

【0067】

つまり、本発明の記憶回路（レイテンシ制御回路）によれば、いかなる動作周

波数帯域においても、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することが可能である。

【0068】

次に、図1の記憶回路（レイテンシ制御回路）の動作について説明する。

【0069】

なお、以下では、説明を簡単にするため、レイテンシを“3”に設定した場合、即ち、 $N=3$ の場合の動作について説明する。

【0070】

(1) $t_d > t_{clk}$ の場合

この場合のタイミングチャートは、図3に示すようになる。

【0071】

① リードデータの取り込み動作

まず、クロック信号Clockに基づいて、クロック信号Clockに同期したリード制御信号READが生成される。

【0072】

そして、リードデータRD (D_0, D_1, D_2, D_3, D_4) は、リード制御信号READの最初の立ち上がりエッジAから遅延時間 t_d が経過した後に、クロック非同期型回路1から出力される。このリードデータRD (D_0, D_1, D_2, D_3, D_4) は、順次、記憶回路11内のラッチ回路 (R_1, R_2, R_3) 3に取り込まれる。

【0073】

この際、本発明の記憶回路11では、クロック信号Clockに無関係に、制御信号RLPLSに基づいてリードデータRD (D_0, D_1, D_2, D_3, D_4) を記憶回路11内のラッチ回路 (R_1, R_2, R_3) 3に取り込んでいる。

【0074】

例えば、リードデータRD (D_0) が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号RLPLSのレベルが立ち上がる。引き続き、転送タイミング決定回路6により制御信号PI<1>のレベルが立ち上げられ、リードデータRD (D_0) は、スイッチング回路 (S_{11}) 4を経由し

て、ラッチ回路 (R1) 3 内に取り込まれる。

【0075】

同様にして、リードデータ RD (D1, D2) は、ラッチ回路 (R2, R3) 3 に取り込まれる。ここで、本例では、ラッチ回路 3 の数は、3 つである。従って、リードデータ RD (D3, D4) は、ラッチ回路 (R1, R2) 3 に取り込まれる。

【0076】

なお、本例の場合、リードデータ RD は、制御信号 RLPLS の 3 周期分 (3 クロック分) の間、1 つのラッチ回路内にラッチされている。つまり、リードデータ RD は、レイテンシや、 t_d と t_{clk} の関係などを考慮し、この期間内に、クロック信号 Clock に同期させて、記憶回路 11 から取り出せばよい。

【0077】

このようなリードデータ RD (D0, D1, D2, D3, D4) の取り込み動作によれば、クロック信号 Clock の周期 t_{clk} が遅延時間 t_d よりも短い場合 (動作周波数が高速化された場合) においても、常に、クロック非同期型回路 1 からリードデータ RD (D0, D1, D2, D3, D4) が出力された後に、リードデータ RD を記憶回路 11 内に取り込むための制御信号 $PI<1>$, $PI<2>$, $PI<3>$ のレベルが立ち上がる (“L” → “H”)。

【0078】

従って、クロック信号 Clock の周期 t_{clk} が遅延時間 t_d よりも短い場合に、リードデータ RD (D0, D1, D2, D3, D4) が出力される前のクロック非同期型回路の出力ノードの状態 (不定) を記憶回路 11 内に取り込んでしまうという事態が発生することがない。

【0079】

② リードデータの取り出し動作

まず、PO 生成回路 7A により、クロック信号 Clock に基づいて、クロック信号 Clock に同期した制御信号 PO が生成される。転送タイミング決定回路 7 は、この制御信号 PO に基づいて、制御信号 $PO<1>$, $PO<2>$, $PO<3>$ のレベルを、順次、立ち上げる。

【0080】

例えば、転送タイミング決定回路7により制御信号 $PO<1>$ のレベルが立ち上げられると、ラッチ回路(R1)3内にラッチされているリードデータRD(D0)は、スイッチング回路(S12)4を経由して、記憶回路11外に取り出される。

【0081】

同様に、リードデータRD(D1, D2)は、制御信号 $PO<2>$, $PO<3>$ のレベルが立ち上げられると、記憶回路11外に取り出される。ここで、本例では、ラッチ回路の数が3つであるため、リードデータRD(D3, D4)は、ラッチ回路(R1, R2)から記憶回路11外に取り出される。

【0082】

なお、本例では、リードデータRDは、制御信号RLPLSの3周期分(3クロック分)の間、1つのラッチ回路内にラッチされている。つまり、リードデータRDは、レイテンシや、 t_d と t_{clk} の関係などを考慮し、この期間内に、クロック信号Clockに同期させて、記憶回路11から取り出せばよい。

【0083】

このように、本発明によれば、クロック信号Clockの周波数 t_{clk} が遅延時間 t_d よりも短い場合においても、リードデータRDを、正確に、一定のレイテンシ(本例では、“3”)を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0084】

(2) $t_d < t_{clk}$ の場合

この場合のタイミングチャートは、図4に示すようになる。

【0085】

① リードデータの取り込み動作

まず、クロック信号Clockに基づいて、クロック信号Clockに同期したリード制御信号READが生成される。

【0086】

そして、リードデータRD(D0, D1, D2)は、リード制御信号READ

の最初の立ち上がりエッジAから遅延時間 t_d が経過した後に、クロック非同期型回路1から出力される。このリードデータRD(D0, D1, D2)は、順次、記憶回路11内のラッチ回路(R1, R2, R3)3に取り込まれる。

【0087】

この際、本発明の記憶回路11では、クロック信号Clockに無関係に、制御信号RLPLSに基づいてリードデータRD(D0, D1, D2)を記憶回路11内のラッチ回路(R1, R2, R3)3に取り込んでいる。

【0088】

例えば、リードデータRD(D0)が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号RLPLSのレベルが立ち上がる。引き続き、転送タイミング決定回路6により制御信号PI<1>のレベルが立ち上げられ、リードデータRD(D0)は、スイッチング回路(S11)4を経由して、ラッチ回路(R1)3内に取り込まれる。

【0089】

同様にして、リードデータRD(D1, D2)は、ラッチ回路(R2, R3)3に取り込まれる。

【0090】

このようなリードデータRD(D0, D1, D2)の取り込み動作によれば、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合(動作周波数が低速化された場合)においても、常に、クロック非同期型回路1からリードデータRD(D0, D1, D2)が出力された後に、リードデータRDを記憶回路11内に取り込むための制御信号PI<1>, PI<2>, PI<3>のレベルが立ち上がる(“L” → “H”)。

【0091】

従って、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合に、最初のリードデータRD(D0)が記憶回路11内に取り込まれずに、2つめのリードデータRD(D1)が記憶回路11内に最初に取り込まれる、という事態を防止することができる。

【0092】

また、同時に、全てのリードデータRDが出力された後のクロック非同期型回路の出力ノードの状態(不定)を記憶回路11内に取り込んでしまうという事態が発生することがない。

【0093】

② リードデータの取り出し動作

まず、PO生成回路7Aにより、クロック信号Clockに基づいて、クロック信号Clockに同期した制御信号POが生成される。転送タイミング決定回路7は、この制御信号POに基づいて、制御信号PO<1>, PO<2>, PO<3>のレベルを、順次、立ち上げる。

【0094】

例えば、転送タイミング決定回路7により制御信号PO<1>のレベルが立ち上げられると、ラッチ回路(R1)3内にラッチされているリードデータRD(D0)は、スイッチング回路(S12)4を経由して、記憶回路11外に取り出される。

【0095】

同様に、リードデータRD(D1, D2)は、制御信号PO<2>, PO<3>のレベルが立ち上げられると、記憶回路11外に取り出される。

【0096】

このように、本発明によれば、クロック信号Clockの周波数clkが遅延時間tdよりも長い場合においても、リードデータRDを、正確に、一定のレイテンシ(本例では、“3”)を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0097】

[第2実施の形態]

本実施の形態に関わる記憶回路(レイテンシ制御回路)は、図1の記憶回路の応用例であり、リードデータを一定のレイテンシで記憶回路から取り出すためのリード状態保持回路を新規に設けた点に特徴を有する。

【0098】

以下、本実施の形態に関わる記憶回路について説明する。

【0099】

図5は、本発明の第2実施の形態に関わる記憶回路（レイテンシ制御回路）を示している。

【0100】

本例では、レイテンシを“ N （ N は、自然数）”に設定することを前提とする。そして、本発明の記憶回路は、レイテンシ“ N ”を実現するため、 $(2 \times N)$ 個のスイッチング機能を有するラッチ回路（ $L11$, $L21$, \dots , $LN1$, $L12$, $L22$, \dots , $LN2$ ）13を有している。

【0101】

ここで、本例においても、上述の第1実施の形態と同様に、レイテンシの“ N ”とラッチ回路の数“ $2 \times N$ ”は、無関係であり、通常、記憶回路が $(2 \times N)$ 個のラッチ回路を有する場合には、レイテンシは、 $N+1$ 以下の任意の値に設定可能である。

【0102】

なお、本例では、スイッチング機能を有するラッチ回路（ $L11$, $L21$, \dots , $LN1$, $L12$, $L22$, \dots , $LN2$ ）13を用いているが、これに代えて、例えば、フリップフロップ回路などのスイッチング機能を有するラッチ回路と同様の機能を持った回路を用いてもよい。

【0103】

また、ラッチ回路（ $L11$, $L21$, \dots , $LN1$, $L12$, $L22$, \dots , $LN2$ ）13のうちの2個が組み合わさって1つのペアを作っており、ペアとなった2個のラッチ回路は、それぞれ、クロック非同期型回路（例えば、DRAMの機能を有するブロック）1の出力ノードとクロック同期型回路2の入力ノードの間に直列接続される。

【0104】

2個のラッチ回路からなる直列回路は、 N 個存在し、これら N 個の直列回路は、それぞれ、クロック非同期型回路1の出力ノードとクロック同期型回路2の入力ノードの間に並列接続される。

【0105】

本例では、ラッチ回路 (L11, L21, … LN1, L12, L22, … LN2) 13 がスイッチング機能を有しているため、図1の記憶回路のようなスイッチング回路を有していない。しかし、本例においても、ラッチ回路 (L11, L21, … LN1, L12, L22, … LN2) 13 に代えて、図1に示すようなラッチ回路とスイッチング回路を用いてもよい。

【0106】

転送タイミング決定回路6は、スイッチング機能を有するラッチ回路 (L11, L21, … LN1) 13 に対応して設けられ、転送タイミング決定回路7は、スイッチング機能を有するラッチ回路 (L12, L22, … LN2) 13 に対応して設けられている。

【0107】

転送タイミング決定回路6は、クロック非同期型回路1から出力される制御信号 RLPLS に基づいて、スイッチング機能を有するラッチ回路 (L11, L21, … LN1) 13 の動作を制御する制御信号 PI<1>, PI<2>, … PI<N> を生成する。

【0108】

ここで、制御信号 RLPLS は、クロック非同期型回路1からリードデータ RD が出力されたことを示す信号であり、本発明に特有なものである。つまり、従来 (図17及び図20) では、クロック信号 Clock によりスイッチング回路の動作が制御されていたが、本発明では、制御信号 RLPLS により、スイッチング機能を有するラッチ回路 (L11, L21, … LN1) 13 の動作を制御している。

【0109】

そして、制御信号 PI<1>, PI<2>, … PI<N> は、制御信号 RLPLS に同期して、順次、立ち上がる (“L” → “H”) ため、制御信号 PI<1>, PI<2>, … PI<N> の立ち上がりエッジに反応して、スイッチング機能を有するラッチ回路 (L11, L21, … LN1) 13 は、順次、リードデータ RD を取り込む。

【0110】

制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であるから、当然に、リードデータRDが出力されると同時に、又はその直後に、クロック非同期型回路1からリードデータRDが出力されなければならない。そのための回路としては、上述の第1実施の形態と同様に、例えば、図2に示すようなRLPLS生成回路8と遅延回路9をクロック非同期型回路1内に設ければよい。

【0111】

リード状態保持回路12は、リード制御信号READとクロック信号Clockに基づいて、リード動作を行っている間、“H”となる制御信号RDSTを生成する。この制御信号RDSTは、レイテンシや、tdとtclkの関係などを考慮して生成される。つまり、リードデータが記憶回路11から出力されるタイミングは、制御信号RDSTにより決定される。

【0112】

制御信号RDSTは、PO生成回路7Aに入力される。PO生成回路7Aは、クロック信号Clockと制御信号RDSTに基づいて、制御信号POを生成する。

【0113】

また、転送タイミング決定回路7は、クロック信号Clockに同期した制御信号POに基づいて、ラッチ回路(L12, L22, … LN2)13の動作を制御する制御信号PO<1>, PO<2>, … PO<N>を生成する。

【0114】

そして、制御信号PO<1>, PO<2>, … PO<N>は、クロック信号Clockに同期して、順次、立ち上がる(“L”→“H”)ため、制御信号PO<1>, PO<2>, … PO<N>の立ち上がりエッジに反応して、ラッチ回路(L12, L22, … LN2)13は、順次、リードデータRDを取り込む。

【0115】

同時に、ラッチ回路(L12, L22, … LN2)13は、順次、リードデータRDを記憶回路11外に出力する。

【0116】

上述の記憶回路（レイテンシ制御回路）においては、上述の第1実施の形態に関わる記憶回路と同様に、リードデータをラッチ回路に振り分ける動作に関して、その動作を制御信号RLPLSにより制御している。この制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であり、従来のようにクロック信号Clockのタイミングと常に一致しているものではない。

【0117】

これにより、クロック信号の周期（又は周波数）とリード動作の開始（リード制御信号の立ち上がり）からリードデータが出力されるまでの時間との関係にかかわらず、常に、クロック非同期型回路のリードデータを正確に記憶回路内のラッチ回路に振り分け、かつ、このリードデータをクロック信号に同期させてクロック同期型回路内に取り込むことができる。

【0118】

また、本例の記憶回路は、リード状態保持回路を有し、このリード状態保持回路は、リード動作を行っている間、“H”となる制御信号RDSTを生成する。つまり、クロック非同期型回路から読み出されるリードデータ数を確認できるため、この制御信号RDSTに基づいて、制御信号RLPLSのクロック数（リード制御信号READのクロック数に等しい）に等しいクロック数の制御信号POを生成し、この制御信号POにより、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することができる。

【0119】

また、制御信号RDSTにより、記憶回路からリードデータを出力するタイミングが決定されるため、この制御信号RDSTは、レイテンシに影響を与える。従って、制御信号RDSTは、レイテンシや、 t_d と t_{clk} の関係などを考慮して生成される。

【0120】

このように、本発明の記憶回路（レイテンシ制御回路）によれば、いかなる動作周波数帯域においても、正確に、データを、クロック非同期型回路からクロッ

ク同期型回路に転送することが可能である。

【0121】

次に、図5の記憶回路（レイテンシ制御回路）の動作について説明する。

【0122】

なお、以下では、説明を簡単にするため、レイテンシを“3”に設定した場合、即ち、 $N=3$ の場合の動作について説明する。

【0123】

(1) $t_d > t_{clk}$ の場合

この場合のタイミングチャートは、図6に示すようになる。

【0124】

① リードデータの取り込み動作

まず、クロック信号Clockに基づいて、クロック信号Clockに同期したリード制御信号READが生成される。クロック非同期型回路1内では、リード制御信号READによってデータの読み出し動作が行われる。

【0125】

そして、リードデータRD (D_0, D_1, D_2, D_3, D_4) は、リード制御信号READの最初の立ち上がりエッジAから遅延時間 t_d が経過した後に、クロック非同期型回路1から出力される。このリードデータRD (D_0, D_1, D_2, D_3, D_4) は、順次、記憶回路11内のラッチ回路 (L_{11}, L_{21}, L_{31}) 13に取り込まれる。

【0126】

この際、本発明の記憶回路11では、クロック信号Clockに無関係に、制御信号RLPLSに基づいて、リードデータRD (D_0, D_1, D_2, D_3, D_4) を、記憶回路11内のラッチ回路 (L_{11}, L_{21}, L_{31}) 13に取り込んでいる。

【0127】

例えば、リードデータRD (D_0) が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号RLPLSのレベルが立ち上がる。引き続き、転送タイミング決定回路6により制御信号PI<1>のレベルが立ち上

げられると、ラッチ回路 (L11) 13は、データを取り込める状態となる。その結果、リードデータRD (D0) は、ラッチ回路 (L11) 13内に取り込まれる。

【0128】

同様にして、リードデータRD (D1, D2) は、ラッチ回路 (L21, L31) 13に取り込まれる。ここで、本例では、並列接続された直列回路の数は、3つである。従って、リードデータRD (D3, D4) は、ラッチ回路 (L11, L21) 13に取り込まれる。

【0129】

なお、本例の場合、リードデータRDは、制御信号RLPLSの3周期分 (3クロック分) の間、1つのラッチ回路内にラッチされている。つまり、リードデータRDは、レイテンシや、 t_d と t_{clk} の関係などを考慮し、この期間内に、クロック信号Clockに同期させて、記憶回路11から取り出せばよい。

【0130】

このようなリードデータRD (D0, D1, D2, D3, D4) の取り込み動作によれば、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合 (動作周波数が高速化された場合) においても、常に、クロック非同期型回路1からリードデータRD (D0, D1, D2, D3, D4) が出力された後に、リードデータRDを記憶回路11内に取り込むための制御信号PI<1>, PI<2>, PI<3>のレベルが立ち上がる (“L” → “H”)。

【0131】

従って、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合に、リードデータRD (D0, D1, D2, D3, D4) が出力される前のクロック非同期型回路の出力ノードの状態 (不定) を記憶回路11内に取り込んでしまうという事態が発生することがない。

【0132】

② リードデータの取り出し動作

まず、リード状態保持回路12により、クロック非同期型回路1におけるリード動作が確認され、リード動作を行っている期間に相当する期間だけ “H” と

る制御信号RDSTが生成される。そして、例えば、PO生成回路7Aにより、制御信号RDSTとクロック信号Clockとのアンド（論理積）をとることにより、制御信号POが生成される。

【0133】

つまり、制御信号RDSTの“H”レベルの期間をシフトさせることによりレイテンシを制御することができる（“H”レベルの期間の長さは、リードデータ数に依存する）。本例では、レイテンシが“3”であることを前提としているため、リード制御信号READのレベルの最初の立ち上がり（A点）の次の立ち上がり時点から、さらにその次の立ち上がり時点までの間に、制御信号RDSTのレベルを“H”にする。

【0134】

転送タイミング決定回路7は、この制御信号POに基づいて、制御信号PO<1>、PO<2>、PO<3>のレベルを、順次、立ち上げる。

【0135】

例えば、転送タイミング決定回路7により制御信号PO<1>のレベルが立ち上げられると、ラッチ回路（L12）13は、リードデータRD（D0）を取り込める状態となるため、ラッチ回路（L11）13のリードデータRD（D0）がラッチ回路（L12）13に転送され、かつ、リードデータRD（D0）は、出力データQとして、クロック同期型回路2に転送される。

【0136】

同様にして、リードデータRD（D1，D2）は、制御信号PO<2>、PO<3>のレベルが立ち上げられると、記憶回路11外に取り出される。ここで、本例では、並列接続された直列回路の数が3つに設定されているため、リードデータRD（D3，D4）は、ラッチ回路（L12，L22）から記憶回路11外に取り出される。

【0137】

なお、本例では、リードデータRDは、制御信号RLPLSの3周期分（3クロック分）の間、1つのラッチ回路内にラッチされている。つまり、リードデータRDは、レイテンシや、tdとtc1kの関係などを考慮し、この期間内に、

クロック信号C l o c kに同期させて、記憶回路11から取り出せばよい。

【0138】

このように、本発明によれば、クロック信号C l o c kの周波数t c l kが遅延時間t dよりも短い場合においても、リードデータRDを、正確に、一定のレイテンシ（本例では、“3”）を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0139】

(2) $t d < t c l k$ の場合

この場合のタイミングチャートは、図7に示すようになる。

【0140】

① リードデータの取り込み動作

まず、クロック信号C l o c kに基づいて、クロック信号C l o c kに同期したリード制御信号R E A Dが生成される。

【0141】

そして、リードデータRD (D 0, D 1, D 2) は、リード制御信号R E A Dの最初の立ち上がりエッジAから遅延時間t dが経過した後に、クロック非同期型回路1から出力される。このリードデータRD (D 0, D 1, D 2) は、順次、記憶回路11内のラッチ回路 (L 1 1, L 2 1, L 3 1) 13に取り込まれる。

【0142】

この際、本発明の記憶回路11では、クロック信号C l o c kに無関係に、制御信号R L P L Sに基づいてリードデータRD (D 0, D 1, D 2) を記憶回路11内のラッチ回路 (L 1 1, L 2 1, L 3 1) 13に取り込んでいる。

【0143】

例えば、リードデータRD (D 0) が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号R L P L Sのレベルが立ち上がる。引き続き、転送タイミング決定回路6により制御信号P I < 1 >のレベルが立ち上げられると、ラッチ回路 (L 1 1) 13は、リードデータRD (D 0) を取り込める状態となる。その結果、リードデータRD (D 0) は、ラッチ回路 (L 1 1

) 13内に取り込まれる。

【0144】

同様にして、リードデータRD (D1, D2) は、ラッチ回路 (L21, L31) 13内に取り込まれる。

【0145】

このようなリードデータRD (D0, D1, D2) の取り込み動作によれば、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合 (動作周波数が低速化された場合) においても、常に、クロック非同期型回路1からリードデータRD (D0, D1, D2) が出力された後に、リードデータRDを記憶回路11内に取り込むための制御信号 $PI<1>$, $PI<2>$, $PI<3>$ のレベルが立ち上がる (“L” → “H”)。

【0146】

従って、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも長い場合に、最初のリードデータRD (D0) が記憶回路11内に取り込まれずに、2つめのリードデータRD (D1) が記憶回路11内に最初に取り込まれる、という事態を防止することができる。

【0147】

また、同時に、全てのリードデータRDが出力された後のクロック非同期型回路の出力ノードの状態 (不定) を記憶回路11内に取り込んでしまうという事態が発生することがない。

【0148】

② リードデータの取り出し動作

まず、リード状態保持回路12により、リード動作期間に相当する期間だけ “H” レベルとなっている制御信号RDSTが生成される。

【0149】

また、PO生成回路7Aにより、制御信号RDST及びクロック信号Clockに基づいて、制御信号POが生成される。転送タイミング決定回路7は、この制御信号POに基づいて、制御信号 $PO<1>$, $PO<2>$, $PO<3>$ のレベルを、順次、立ち上げる。

【0150】

例えば、転送タイミング決定回路7により制御信号PO<1>のレベルが立ち上げられると、ラッチ回路(L12)13がリードデータを取りこめる状態となる。その結果、ラッチ回路(L11)13内のリードデータRD(D0)がラッチ回路(L12)13に転送され、かつ、リードデータRD(D0)は、出力データQとして、クロック同期型回路2に転送される。

【0151】

同様に、リードデータRD(D1, D2)は、制御信号PO<2>, PO<3>のレベルが立ち上げられると、記憶回路11外に取り出される。

【0152】

このように、本発明によれば、クロック信号Clockの周波数clockが遅延時間tdよりも長い場合においても、リードデータRDを、正確に、一定のレイテンシ(本例では、“3”)を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0153】

[第3実施の形態]

本実施の形態に関わる記憶回路(レイテンシ制御回路)は、図5の記憶回路の変形例であり、スイッチング機能を有するラッチ回路(又はフリップフロップ回路)の数を減らし、記憶回路の面積を小さくした点に特徴を有する。

【0154】

以下、本実施の形態に関わる記憶回路について説明する。

【0155】

図8は、本発明の第3実施の形態に関わる記憶回路(レイテンシ制御回路)を示している。

【0156】

本例では、レイテンシは、“N(但し、Nは、3以下の自然数)”に設定される。そして、本発明の記憶回路は、レイテンシ“N”を実現するため、前段部に2個のスイッチング機能を有するラッチ回路(L1e, L1o)13e, 13oを有し、後段部に1個のスイッチング機能を有するラッチ回路(L2)13qを

有している。

【0157】

なお、本例では、スイッチング機能を有するラッチ回路 (L1e, L1o, L2) 13e, 13o, 13q を用いているが、これに代えて、例えば、フリップフロップ回路などのスイッチング機能を有するラッチ回路と同様の機能を持った回路を用いてもよい。

【0158】

前段部の2つのラッチ回路 (L1e, L1o) 13e, 13o は、クロック非同期型回路 (例えば、DRAMの機能を有するブロック) 1 から出力されるリードデータ RD を交互にラッチする。ラッチ回路 (L1e, L1o) 13e, 13o の出力ノードは、選択回路 (例えば、マルチプレクサ) 14 を経由して、後段部のラッチ回路 (L2) 13q の入力ノードに接続される。

【0159】

選択回路 14 は、制御信号 PS に基づいて、ラッチ回路 (L1e) 13e のデータ QRe 及びラッチ回路 (L1o) 13o のデータ QRo のいずれか一方をラッチ回路 (L2) 13q に転送する機能を有する。

【0160】

なお、図8中の記号のうち下付で付されている“e”及び“o”は、それぞれ、0を含む偶数 (even) 及び奇数 (odd) を表している。

【0161】

また、本例では、スイッチング機能を有するラッチ回路 (L1e, L1o, L2) 13e, 13o, 13q に代えて、図1に示すようなラッチ回路とスイッチング回路を用いてもよい。

【0162】

転送タイミング決定回路6は、前段部の2つのスイッチング機能を有するラッチ回路 (L1e, L1o) 13e, 13o に対応して設けられ、転送タイミング決定回路7は、後段部の1つのスイッチング機能を有するラッチ回路 (L2) 13q に対応して設けられている。

【0163】

転送タイミング決定回路6は、クロック非同期型回路1から出力される制御信号RLPLSに基づいて、スイッチング機能を有するラッチ回路(L1e, L1o)13e, 13oの動作を制御する制御信号PIe, PIOを生成する。

【0164】

ここで、制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であり、本発明に特有なものである。つまり、従来(図17及び図20)では、クロック信号Clockによりスイッチング回路の動作が制御されていたが、本発明では、制御信号RLPLSにより、スイッチング機能を有するラッチ回路(L1e, L1o)13e, 13oの動作を制御している。

【0165】

そして、制御信号PIe, PIOは、制御信号RLPLSに同期して、順次、交互に立ち上がる(“L”→“H”)ため、制御信号PIe, PIOの立ち上がりエッジに反応して、リードデータRDは、スイッチング機能を有するラッチ回路(L1e, L1o)13e, 13oに交互に取り込まれる。

【0166】

制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であるから、当然に、リードデータRDが出力されると同時に、又はその直後に、クロック非同期型回路1からリードデータRDが出力されなければならない。そのための回路としては、上述の第1実施の形態と同様に、例えば、図2に示すようなRLPLS生成回路8と遅延回路9をクロック非同期型回路1内に設ければよい。

【0167】

リード状態保持回路12は、リード制御信号READとクロック信号Clockに基づいて、リード動作を行っている間、“H”となる制御信号RDSTを生成する。この制御信号RDSTは、レイテンシや、tdとtclockの関係などを考慮して生成される。つまり、リードデータが記憶回路11から出力されるタイミングは、制御信号RDSTにより決定される。

【0168】

制御信号RDSTは、PO生成回路（転送タイミング決定回路）7Aに入力される。PO生成回路7Aは、クロック信号Clockと制御信号RDSTに基づいて、制御信号POを生成する。

【0169】

例えば、制御信号POは、クロック信号Clockと制御信号RDSTのアンドをとることにより得ることができる。つまり、制御信号POは、クロック信号Clockに同期し、かつ、クロック非同期型回路1におけるデータリード回数に相当するクロック数のみから構成される。

【0170】

そして、後段部のラッチ回路（L2）13qは、制御信号POの立ち上がりエッジに反応して、順次、選択回路14から出力されるリードデータRDを取り込む。また、同時に、ラッチ回路（L2）13qは、順次、リードデータRDをクロック同期型回路2に出力する。

【0171】

PS生成回路15は、制御信号POに基づいて、選択回路14の動作を制御する制御信号PSを生成する。例えば、PS生成回路15は、制御信号POの立ち下がりエッジに反応して、制御信号PSのレベルを、“L”から“H”へ又は“H”から“L”へ変化させる。

【0172】

選択回路14は、例えば、制御信号PSのレベルが“L”のときには、ラッチ回路（L1e）13eにラッチされたリードデータQRe（D0，D2，D4）を選択し、これをラッチ回路（L2）13qに転送する。また、選択回路14は、例えば、制御信号PSのレベルが“H”のときには、ラッチ回路（L1o）13oにラッチされたリードデータQRo（D1，D3）を選択し、これをラッチ回路（L2）13qに転送する。

【0173】

なお、本例においては、記憶回路11の前段部には、2つのラッチ回路（L1e，L1o）13e，13oを配置したが、3つ以上、一般的には、複数個配置されていてもよい。この場合には、レイテンシを“3”を超える値に設定できる

と共に、後段部のラッチ回路（L2）13qは、1つのみでよいとため、回路面積も小さくできる。

【0174】

上述の記憶回路（レイテンシ制御回路）においては、上述の第1及び第2実施の形態に関わる記憶回路と同様に、リードデータをラッチ回路に振り分ける動作に関して、その動作を制御信号RLPLSにより制御している。この制御信号RLPLSは、クロック非同期型回路1からリードデータRDが出力されたことを示す信号であり、従来のようにクロック信号Clockのタイミングと常に一致しているものではない。

【0175】

これにより、クロック信号の周期（又は周波数）とリード動作の開始（リード制御信号の立ち上がり）からリードデータが出力されるまでの時間との関係にかかわらず、常に、クロック非同期型回路のリードデータを正確に記憶回路内のラッチ回路に振り分け、かつ、このリードデータをクロック信号に同期させてクロック同期型回路内に取り込むことができる。

【0176】

また、本例の記憶回路は、リード状態保持回路を有し、このリード状態保持回路は、リード動作を行っている間、“H”となる制御信号RDSTを生成する。つまり、クロック非同期型回路におけるデータリード回数を確認できるため、この制御信号RDSTに基づいて、制御信号RLPLSのクロック数（リード制御信号READのクロック数に等しい）に等しいクロック数の制御信号POを生成し、この制御信号POにより、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することができる。

【0177】

さらに、本例では、記憶回路の前段部に2つのスイッチング機能を有するラッチ回路を設け、クロック非同期型回路から順次出力されるリードデータを、この2つのラッチ回路に交互に振り分けている。この場合、レイテンシは、3以下に限定されるが、ラッチ回路の数を減らすことができるため、記憶回路の面積を小さくすることができる。

【0178】

このように、本発明の記憶回路（レイテンシ制御回路）によれば、いかなる動作周波数帯域においても、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することが可能である。

【0179】

次に、図8の記憶回路（レイテンシ制御回路）の動作について説明する。

【0180】

なお、以下では、説明を簡単にするため、レイテンシを“3”に設定した場合、即ち、 $N=3$ の場合の動作について説明する。

【0181】

(1) $t_d > t_{clk}$ の場合

この場合のタイミングチャートは、図9に示すようになる。

【0182】

① リードデータの取り込み動作

まず、クロック信号Clockに基づいて、クロック信号Clockに同期したリード制御信号READが生成される。クロック非同期型回路1内では、リード制御信号READによってデータの読み出し動作が行われる。

【0183】

そして、リードデータRD (D_0, D_1, D_2, D_3, D_4) は、リード制御信号READの最初の立ち上がりエッジAから遅延時間 t_d が経過した後に、クロック非同期型回路1から順次出力される。そして、このリードデータRD (D_0, D_1, D_2, D_3, D_4) は、記憶回路11内の2つのラッチ回路 ($L1e, L1o$) 13e, 13o内に交互に取り込まれる。

【0184】

この際、本発明の記憶回路11では、クロック信号Clockに無関係に、制御信号RLPLSに基づいて、リードデータRD (D_0, D_1, D_2, D_3, D_4) を、記憶回路11内のラッチ回路 ($L1e, L1o$) 13e, 13oに取り込んでいる。

【0185】

例えば、リードデータRD (D0) が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号RLPLSのレベルが立ち上がる。引き続き、転送タイミング決定回路6により制御信号PIeのレベルが立ち上げられると、ラッチ回路(L1e) 13eは、データを取り込める状態となる。その結果、リードデータRD (D0) は、ラッチ回路(L1e) 13e内に取り込まれる。

【0186】

同様にして、リードデータRD (D2, D4) は、ラッチ回路(L1e) 13e内に取り込まれ、リードデータRD (D1, D3) は、ラッチ回路(L1o) 13o内に取り込まれる。

【0187】

なお、本例の場合、リードデータRDは、制御信号RLPLSの2周期分(2クロック分)の間、1つのラッチ回路内にラッチされている。つまり、リードデータRDは、この期間内に、クロック信号Clockに同期させて、記憶回路11から取り出せばよい。

【0188】

このようなリードデータRD (D0, D1, D2, D3, D4) の取り込み動作によれば、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合(動作周波数が高速化された場合)においても、常に、クロック非同期型回路1からリードデータRD (D0, D1, D2, D3, D4) が出力された後に、リードデータRDを記憶回路11内に取り込むための制御信号PIe, PIoのレベルが立ち上がる(“L” → “H”)。

【0189】

従って、クロック信号Clockの周期 t_{clk} が遅延時間 t_d よりも短い場合に、リードデータRD (D0, D1, D2, D3, D4) が出力される前のクロック非同期型回路の出力ノードの状態(不定)を記憶回路11内に取り込んでしまうという事態が発生することがない。

【0190】

② リードデータの取り出し動作

まず、リード状態保持回路 1 2 により、クロック非同期型回路 1 におけるリード動作が確認され、リード動作を行っている期間に相当する期間だけ“H”となる制御信号 RDST が生成される。そして、例えば、PO 生成回路 7 A により、制御信号 RDST とクロック信号 Clock とのアンド（論理積）をとることにより、制御信号 PO が生成される。

【0191】

つまり、制御信号 RDST の“H”レベルの期間をシフトさせることによりレイテンシを制御することができる（“H”レベルの期間の長さは、リードデータ数に依存する）。本例では、レイテンシが“3”であることを前提としているため、リード制御信号 READ のレベルの最初の立ち上がり（A 点）の次の立ち上がり時点から、さらにその次の立ち上がり時点までの間に、制御信号 RDST のレベルを“H”にする。

【0192】

PO 生成回路（転送タイミング決定回路）7 は、データリード回数に相当するクロック数を有する制御信号 PO を出力し、この制御信号 PO により、リードデータが、順次、記憶回路 1 1 から出力される。

【0193】

例えば、制御信号 PO が立ち上げられると、後段部のラッチ回路（L2）13 q は、データを取り込める状態となる。また、制御信号 PO の最初の立ち上がり時点では、制御信号 PS は、“L”であるため、前段部のラッチ回路（L1 e）13 e のデータ QRe が、後段部のラッチ回路（L2）13 q に転送される。また、制御信号 PO の 2 つめの立ち上がり時点では、制御信号 PS は、“H”であるため、前段部のラッチ回路（L1 o）13 o のデータ QRo が、後段部のラッチ回路（L2）13 q に転送される。

【0194】

このようにして、前段部のラッチ回路（L1 e）13 e のデータ QRe（D0，D2，D4）と前段部のラッチ回路（L1 o）13 o のデータ QRo（D1，D3）が、順次、後段部のラッチ回路（L2）13 q に転送される。

【0195】

なお、本例では、リードデータRDは、制御信号RLPLSの2周期分（2クロック分）の間、1つのラッチ回路内にラッチされている。つまり、リードデータRDは、この期間内に、クロック信号Clockに同期させて、記憶回路11から取り出せばよい。

【0196】

このように、本発明によれば、クロック信号Clockの周波数 t_{clk} が遅延時間 t_d よりも短い場合においても、リードデータRDを、正確に、一定のレイテンシ（本例では、“3”）を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0197】

(2) $t_d < t_{clk}$ の場合

この場合のタイミングチャートは、図10に示すようになる。

【0198】

① リードデータの取り込み動作

まず、クロック信号Clockに基づいて、クロック信号Clockに同期したリード制御信号READが生成される。

【0199】

そして、リードデータRD(D0, D1, D2)は、リード制御信号READの最初の立ち上がりエッジAから遅延時間 t_d が経過した後に、クロック非同期型回路1から出力される。即ち、リードデータRD(D0, D2)は、ラッチ回路(L1e)13e内に取り込まれ、リードデータ(D1)は、ラッチ回路(L2)13o内に取り込まれる。

【0200】

この際、本発明の記憶回路11では、クロック信号Clockに無関係に、制御信号RLPLSに基づいてリードデータRD(D0, D1, D2)を記憶回路11内のラッチ回路(L1e, L1o)13e, 13oに取り込んでいる。

【0201】

例えば、リードデータRD(D0)が出力されると、この後、直ちに、リードデータRDを出力したことを示す制御信号RLPLSのレベルが立ち上がる。引

き続き、転送タイミング決定回路 6 により制御信号 $P I e$ のレベルが立ち上げられると、ラッチ回路 ($L 1 e$) 13 e は、リードデータ $R D (D 0)$ を取り込める状態となる。その結果、リードデータ $R D (D 0)$ は、ラッチ回路 ($L 1 e$) 13 e 内に取り込まれる。

【0202】

同様にして、リードデータ $R D (D 2)$ は、ラッチ回路 ($L 1 e$) 13 e 内に取り込まれ、リードデータ $R D (D 1)$ は、ラッチ回路 ($L 1 o$) 13 o 内に取り込まれる。

【0203】

このようなリードデータ $R D (D 0, D 1, D 2)$ の取り込み動作によれば、クロック信号 $C l o c k$ の周期 $t c l k$ が遅延時間 $t d$ よりも長い場合 (動作周波数が低速化された場合) においても、常に、クロック非同期型回路 1 からリードデータ $R D (D 0, D 1, D 2)$ が出力された後に、リードデータ $R D$ を記憶回路 11 内に取り込むための制御信号 $P I e, P I o$ のレベルが立ち上がる (“L” → “H”)。

【0204】

従って、クロック信号 $C l o c k$ の周期 $t c l k$ が遅延時間 $t d$ よりも長い場合に、最初のリードデータ $R D (D 0)$ が記憶回路 11 内に取り込まれずに、2 つめのリードデータ $R D (D 1)$ が記憶回路 11 内に最初に取り込まれる、という事態を防止することができる。

【0205】

また、同時に、全てのリードデータ $R D$ が出力された後のクロック非同期型回路の出力ノードの状態 (不定) を記憶回路 11 内に取り込んでしまうという事態が発生することがない。

【0206】

② リードデータの取り出し動作

まず、リード状態保持回路 12 により、リード動作期間に相当する期間だけ “H” レベルとなっている制御信号 $R D S T$ が生成される。

【0207】

また、PO生成回路（転送タイミング決定回路）7Aにより、制御信号RDS T及びクロック信号Clockに基づいて、制御信号POが生成され、この制御信号POに基づいて、リードデータRDが記憶回路11から出力される。

【0208】

例えば、制御信号POのレベルが立ち上げられると、後段部のラッチ回路（L2）13qがデータを取り込める状態となる。また、制御信号POに基づいて制御信号PSが生成される。制御信号PSは、選択回路14内に入力される。制御信号PSが“L”のときには、選択回路14は、ラッチ回路（L1e）13eのデータQReを選択しているため、ラッチ回路（L1e）13eのデータQReが後段部のラッチ回路（L2）13qに転送される。

【0209】

また、制御信号PSが“H”のときには、選択回路14は、ラッチ回路（L1o）13oのデータQRoを選択しているため、ラッチ回路（L1o）13oのデータQRoが後段部のラッチ回路（L2）13qに転送される。

【0210】

このようにして、前段部のラッチ回路（L1e）13eのデータQRe（D0，D2，D4）と前段部のラッチ回路（L1o）13oのデータQRo（D1，D3）が、順次、後段部のラッチ回路（L2）13qに転送される。

【0211】

このように、本発明によれば、クロック信号Clockの周波数tclkが遅延時間tdよりも長い場合においても、リードデータRDを、正確に、一定のレイテンシ（本例では、“3”）を確保しつつ、クロック非同期型回路1からクロック同期型回路2に転送することができる。

【0212】

[第4実施の形態]

以下では、上述の第3実施の形態に関わる記憶回路（レイテンシ制御回路）を変形した第4実施の形態に関わる記憶回路について説明する。

【0213】

図11は、本発明の第4実施の形態に関わる記憶回路（レイテンシ制御回路）

を示している。

【0214】

本例の記憶回路の特徴は、上述の第3実施の形態に関わる記憶回路において、その特徴の一つである“リードデータの取り込みタイミングを制御信号RLPLSにより決定する”という点を取り除き、従来通り、リードデータの取り込みタイミングをクロック信号により決定するものである。

【0215】

本例では、レイテンシは、“N（但し、Nは、3以下の自然数）”に設定される。そして、本発明の記憶回路は、レイテンシ“N”を実現するため、前段部に2個のスイッチング機能を有するラッチ回路（L1e, L1o）13e, 13oを有し、後段部に1個のスイッチング機能を有するラッチ回路（L2）13qを有している。

【0216】

なお、本例では、スイッチング機能を有するラッチ回路（L1e, L1o, L2）13e, 13o, 13qを用いているが、これに代えて、例えば、フリップフロップ回路などのスイッチング機能を有するラッチ回路と同様の機能を持った回路を用いてもよい。

【0217】

前段部の2つのラッチ回路（L1e, L1o）13e, 13oは、クロック非同期型回路（例えば、DRAMの機能を有するブロック）1から出力されるリードデータRDを交互にラッチする。ラッチ回路（L1e, L1o）13e, 13oの出力ノードは、選択回路（例えば、マルチプレクサ）14を経由して、後段部のラッチ回路（L2）13qの入力ノードに接続される。

【0218】

選択回路14は、制御信号PSに基づいて、ラッチ回路（L1e）13eのデータQRe及びラッチ回路（L1o）13oのデータQRoのいずれか一方をラッチ回路（L2）13qに転送する機能を有する。

【0219】

また、本例では、スイッチング機能を有するラッチ回路（L1e, L1o, L

2) 1 3 e, 1 3 o, 1 3 q に代えて、図 1 に示すようなラッチ回路とスイッチング回路を用いてもよい。

【 0 2 2 0 】

転送タイミング決定回路 6 は、前段部の 2 つのスイッチング機能を有するラッチ回路 (L 1 e, L 1 o) 1 3 e, 1 3 o に対応して設けられ、転送タイミング決定回路 7 は、後段部の 1 つのスイッチング機能を有するラッチ回路 (L 2) 1 3 q に対応して設けられている。

【 0 2 2 1 】

転送タイミング決定回路 6 は、クロック信号 C l o c k に基づいて、スイッチング機能を有するラッチ回路 (L 1 e, L 1 o) 1 3 e, 1 3 o の動作を制御する制御信号 P I e, P I o を生成する。

【 0 2 2 2 】

そして、制御信号 P I e, P I o は、クロック信号 C l o c k に同期して、順次、交互に立ち上がる (“ L ” → “ H ”) ため、制御信号 P I e, P I o の立ち上がりエッジに反応して、リードデータ R D は、スイッチング機能を有するラッチ回路 (L 1 e, L 1 o) 1 3 e, 1 3 o に交互に取り込まれる。

【 0 2 2 3 】

なお、リードデータ R D は、クロック信号 C l o c k に同期して、クロック非同期型回路 1 から読み出されるものではないので、記憶回路 1 1 内に取り込むデータが正確であるか否かは判別できない。

【 0 2 2 4 】

リード状態保持回路 1 2 は、リード制御信号 R E A D とクロック信号 C l o c k に基づいて、リード動作を行っている間、“ H ” となる制御信号 R D S T を生成する。この制御信号 R D S T は、レイテンシや、 t d と t c l k の関係などを考慮して生成される。つまり、リードデータが記憶回路 1 1 から出力されるタイミングは、制御信号 R D S T により決定される。

【 0 2 2 5 】

制御信号 R D S T は、 P O 生成回路 (転送タイミング決定回路) 7 A に入力される。 P O 生成回路 7 A は、クロック信号 C l o c k と制御信号 R D S T に基づ

いて、制御信号 P O を生成する。

【 0 2 2 6 】

例えば、制御信号 P O は、クロック信号 C l o c k と制御信号 R D S T のアンドをとることにより得ることができる。つまり、制御信号 P O は、クロック信号 C l o c k に同期し、かつ、クロック非同期型回路 1 におけるデータリード回数に相当するクロック数のみから構成される。

【 0 2 2 7 】

そして、後段部のラッチ回路 (L 2) 1 3 q は、制御信号 P O の立ち上がりエッジに反応して、順次、選択回路 1 4 から出力されるリードデータ R D を取り込む。また、同時に、ラッチ回路 (L 2) 1 3 q は、順次、リードデータ R D をクロック同期型回路 2 に出力する。

【 0 2 2 8 】

P S 生成回路 1 5 は、制御信号 P O に基づいて、選択回路 1 4 の動作を制御する制御信号 P S を生成する。例えば、P S 生成回路 1 5 は、制御信号 P O の立ち下がりエッジに反応して、制御信号 P S のレベルを、“ L ” から “ H ” へ又は “ H ” から “ L ” へ変化させる。

【 0 2 2 9 】

選択回路 1 4 は、例えば、制御信号 P S のレベルが “ L ” のときには、ラッチ回路 (L 1 e) 1 3 e にラッチされたリードデータ Q R e (D 0 , D 2 , D 4) を選択し、これをラッチ回路 (L 2) 1 3 q に転送する。また、選択回路 1 4 は、例えば、制御信号 P S のレベルが “ H ” のときには、ラッチ回路 (L 1 o) 1 3 o にラッチされたリードデータ Q R o (D 1 , D 3) を選択し、これをラッチ回路 (L 2) 1 3 q に転送する。

【 0 2 3 0 】

[その他]

以下では、第 1 乃至第 3 実施の形態に関わる記憶回路と第 4 実施の形態に関わる記憶回路を比較する。

【 0 2 3 1 】

上述の第 4 実施の形態に関わる記憶回路 (レイテンシ制御回路) においては、

上述の第 1 乃至第 3 実施の形態に関わる記憶回路とは異なり、リードデータをラッチ回路に振り分ける動作に関して、その動作を制御信号 R L P L S ではなく、クロック信号 C l o c k により制御している。

【 0 2 3 2 】

この場合、リードデータ R D は、例えば、データの読み出しを促すリード制御信号 R E A D を、クロック同期型回路 2 からクロック非同期型回路（D R A M 機能を有するブロック）1 に与えてから一定期間 t_d が経過した後に、クロック非同期型回路 1 から出力される。一方、クロック非同期型回路 1 から読み出されるリードデータ R D は、クロック信号 C l o c k に同期していないので、クロック同期型回路 2 は、リードデータ R D を取り込むタイミングを決定することができなかった。

【 0 2 3 3 】

そこで、第 4 実施の形態に関わる記憶回路では、リード制御信号 R E A D がクロック非同期型回路 1 に与えられてから（R E A D が立ち上がってから）、リードデータ R D がクロック非同期型回路 1 から出力されるまでの時間 t_d を詳細に見積もり、クロック同期型回路 2 は、この t_d に基づいて、リードデータ R D を取り込むタイミングを決定するようにしている。

【 0 2 3 4 】

しかし、この時間 t_d は、常に一定ではなく、信号線に生じる寄生容量などの種々の原因により変動するものである。このため、例えば、図 1 2 に示すように、制御信号 P I e が立ち上がる前にクロック非同期型回路 1 からリードデータ R D（D 0）が出力されていれば問題はないが、図 1 3 に示すように、クロック非同期型回路 1 からリードデータ R D（D 0）が出力される前に制御信号 P I e が立ち上がってしまうと、誤ったデータ（不定）を記憶回路 1 1 内に取り込んでしまうという問題があった。

【 0 2 3 5 】

これに対し、上述の第 1 乃至第 3 実施の形態に関わる記憶回路（レイテンシ制御回路）では、リードデータの取り込みタイミングを制御信号 R L P L S により決定している。例えば、第 3 実施の形態に関わる記憶回路を図 1 4 に示す。

【0236】

これにより、クロック信号C l o c kの周期（又は周波数）t c l kとリード動作の開始（リード制御信号R E A Dの立ち上がり）からリードデータが出力されるまでの時間t dとの関係にかかわらず、常に、クロック非同期型回路1のリードデータを正確に記憶回路11内のラッチ回路に振り分け、かつ、このリードデータをクロック信号C l o c kに同期させてクロック同期型回路2内に取り込むことができる。

【0237】

即ち、制御信号R L P L Sは、リードデータR Dが出力されたことを示す信号であり、例えば、図15に示すように、データ読み出し時間t dが短くなろうが、又は、図16に示すように、データ読み出し時間t dが長くなろうが、常に、リードデータR Dが出力された後に、制御信号R L P L Sは、“L”から“H”に立ち上がる。

【0238】

従って、クロック信号C l o c kではなく、制御信号R L P L Sに基づいて、制御信号P I e、P I oを生成すれば、動作周波数t c l kが一定の場合において、データの読み出し時間t dが変動したとしても、常に、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することが可能である。

【0239】

このように、上述の第1乃至第3実施の形態では、データ読み出し時間t dが一定で、動作周波数t c l kが変動し、 $t d > t c l k$ となったり、又は、 $t d < t c l k$ となった場合の他、動作周波数が一定で、何らかの原因によりデータ読み出し時間t dが変動した場合においても、データの転送を正確に行える、という効果を得ることができる。

【0240】

【発明の効果】

以上、説明したように、本発明によれば、リードデータをラッチ回路に振り分ける動作に関して、その動作を制御信号R L P L Sにより制御している。この制御信号R L P L Sは、クロック非同期型回路からリードデータが出力されたこと

を示す信号であり、従来のようにクロック信号のタイミングと常に一致しているものではない。

【0241】

これにより、クロック信号の周期（又は周波数）とリード動作の開始（リード制御信号の立ち上がり）からリードデータが出力されるまでの時間との関係にかかわらず、常に、クロック非同期型回路のリードデータを正確に記憶回路内のラッチ回路に振り分け、かつ、このリードデータをクロック信号に同期させてクロック同期型回路内に取り込むことができる。

【0242】

また、本例の記憶回路は、リード状態保持回路を有し、このリード状態保持回路は、リード動作を行っている間、“H”となる制御信号RDSTを生成する。つまり、クロック非同期型回路におけるデータリード回数を確認できるため、この制御信号RDSTに基づいて、制御信号RLPLSのクロック数（リード制御信号READのクロック数に等しい）に等しいクロック数の制御信号POを生成し、この制御信号POにより、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することができる。

【0243】

なお、制御信号RDSTにより、記憶回路からリードデータを出力するタイミングが決定されるため、この制御信号RDSTは、レイテンシに影響を与える。従って、制御信号RDSTは、レイテンシや、 t_d と t_{clk} の関係などを考慮して生成される。

【0244】

このように、本発明の記憶回路（レイテンシ制御回路）によれば、いかなる動作周波数帯域においても（クロック信号の周期 t_{clk} が変動しても）、また、何らかの原因によりデータ読み出し時間 t_d に変動が生じた場合においても、正確に、データを、クロック非同期型回路からクロック同期型回路に転送することが可能である。

【図面の簡単な説明】

【図1】

本発明の第 1 実施の形態に関わる記憶回路を示す図。

【図 2】

制御信号 R L P L S を生成する回路を示す図。

【図 3】

図 1 の記憶回路の動作波形の第 1 例を示す図。

【図 4】

図 1 の記憶回路の動作波形の第 2 例を示す図。

【図 5】

本発明の第 2 実施の形態に関わる記憶回路を示す図。

【図 6】

図 5 の記憶回路の動作波形の第 1 例を示す図。

【図 7】

図 5 の記憶回路の動作波形の第 2 例を示す図。

【図 8】

本発明の第 3 実施の形態に関わる記憶回路を示す図。

【図 9】

図 8 の記憶回路の動作波形の第 1 例を示す図。

【図 1 0】

図 8 の記憶回路の動作波形の第 2 例を示す図。

【図 1 1】

本発明の第 4 実施の形態に関わる記憶回路を示す図。

【図 1 2】

図 1 1 の記憶回路の動作波形の第 1 例を示す図。

【図 1 3】

図 1 1 の記憶回路の動作波形の第 2 例を示す図。

【図 1 4】

本発明の第 3 実施の形態に関わる記憶回路を示す図。

【図 1 5】

図 1 4 の記憶回路の動作波形の第 1 例を示す図。

【図 1 6】

図 1 4 の記憶回路の動作波形の第 2 例を示す図。

【図 1 7】

従来 of 記憶回路を示す図。

【図 1 8】

図 1 7 の記憶回路の動作波形の第 1 例を示す図。

【図 1 9】

図 1 7 の記憶回路の動作波形の第 2 例を示す図。

【図 2 0】

従来 of 記憶回路を示す図。

【図 2 1】

図 2 0 の記憶回路の動作波形の第 1 例を示す図。

【図 2 2】

図 2 0 の記憶回路の動作波形の第 2 例を示す図。

【符号 of 説明】

1	: クロック非同期型回路、
2	: クロック同期型回路、
3	: ラッチ回路、
4	: スイッチング回路、
5, 6, 7	: 転送タイミング決定回路、
7 A	: P O 生成回路、
8	: R L P L S 生成回路、
9	: 遅延回路、
1 0 A	: メモリセルアレイ、
1 0 B	: 周辺回路、
1 1	: 記憶回路 (レイテンシ制御回路)、
1 2	: R D S T 生成回路、
1 3, 1 3 e, 1 3 o, 1 3 q	: スイッチング機能を有するラッチ回路、
1 4	: 選択回路、

特 2 0 0 0 - 2 9 7 7 0 5

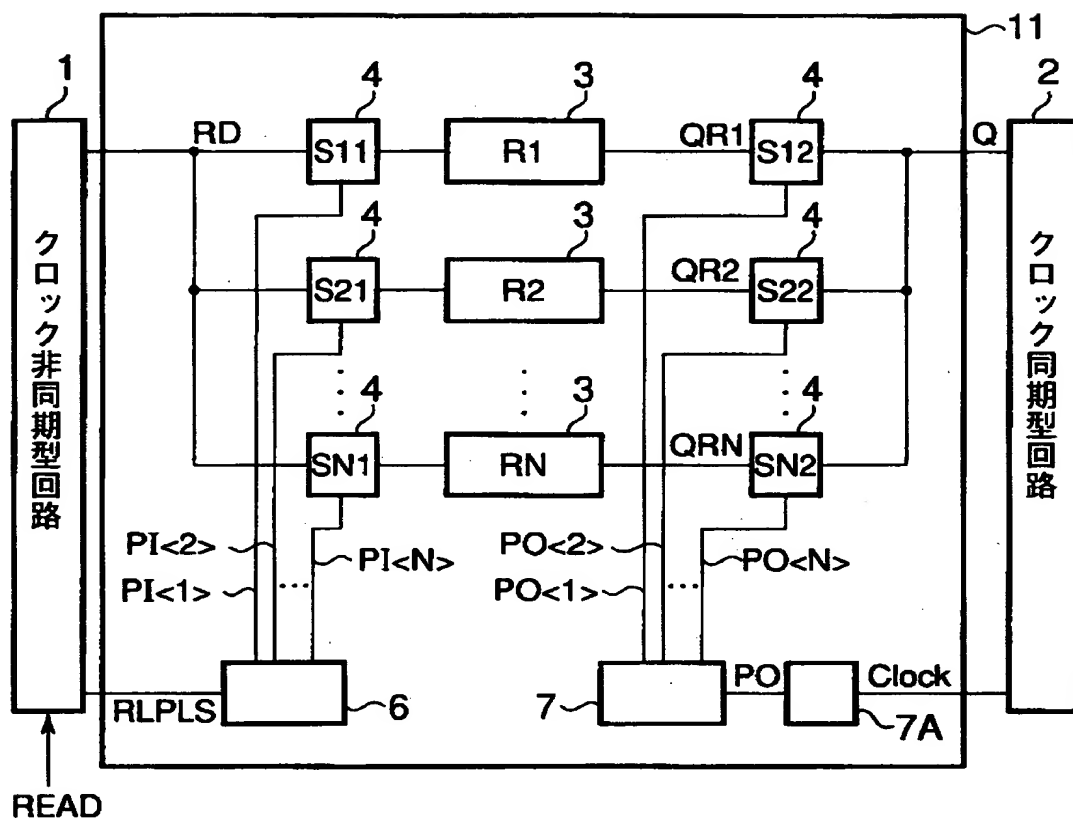
1 5

: P S 生成回路。

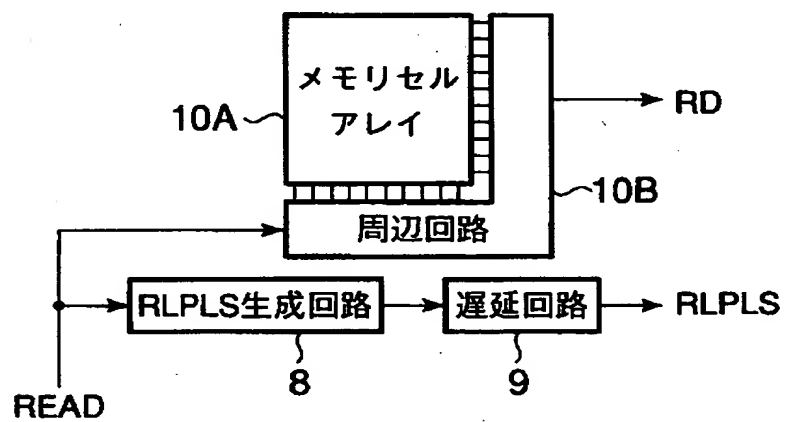
【書類名】

図面

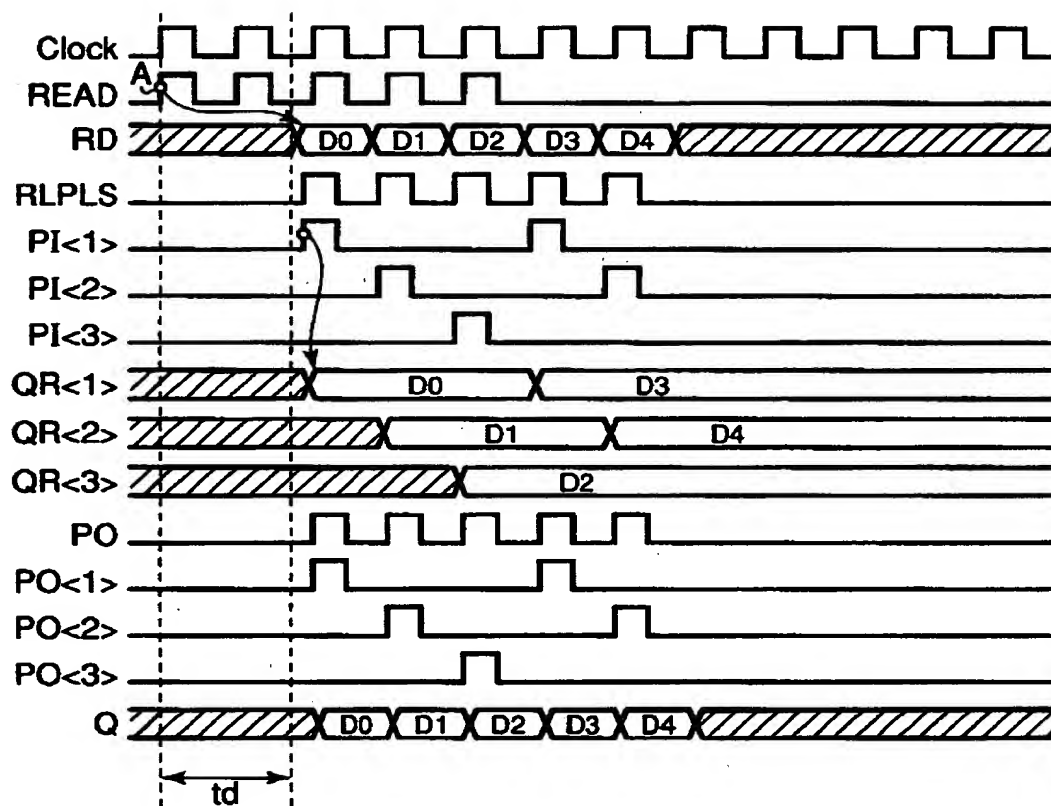
【図 1】



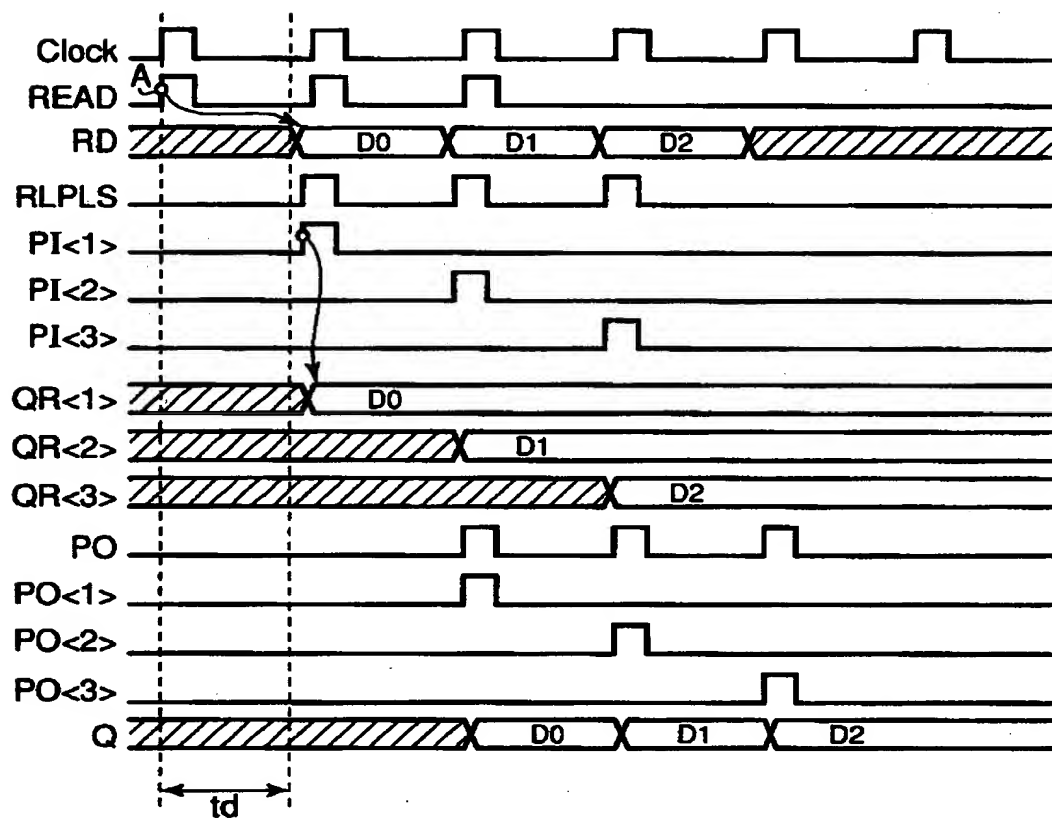
【図 2】



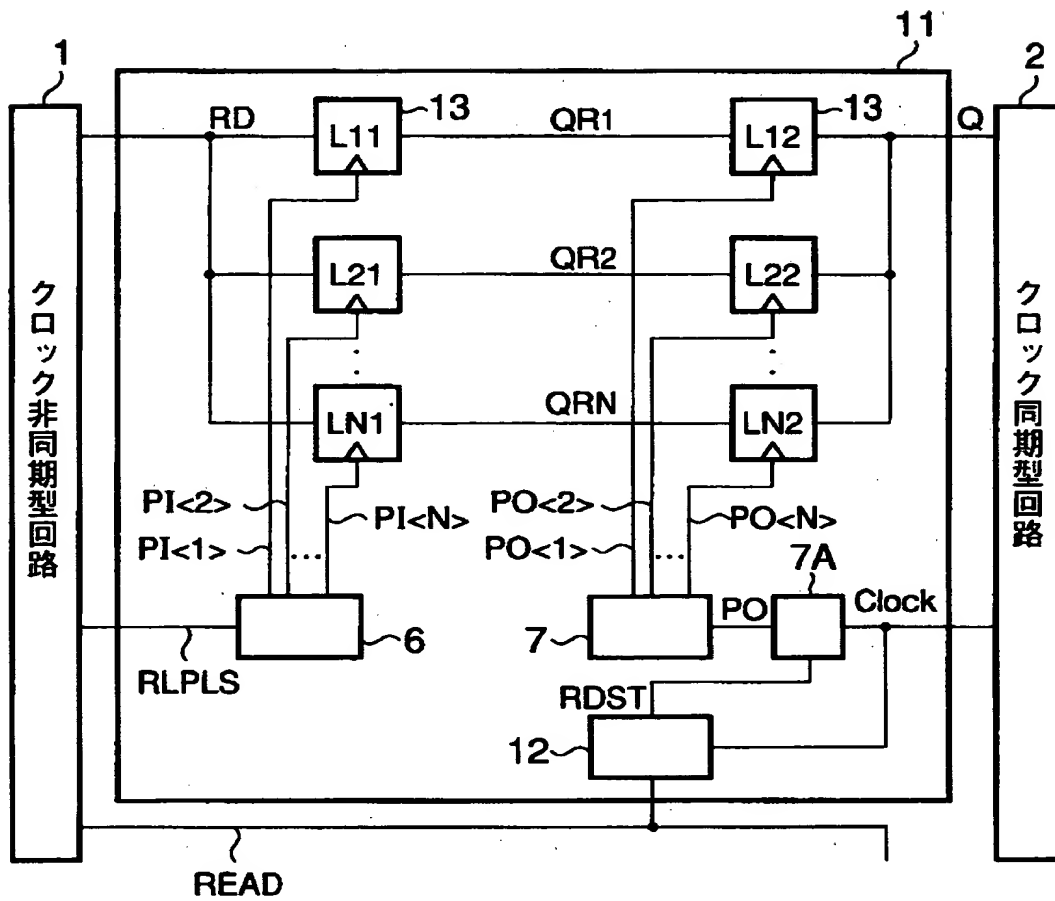
【図 3】



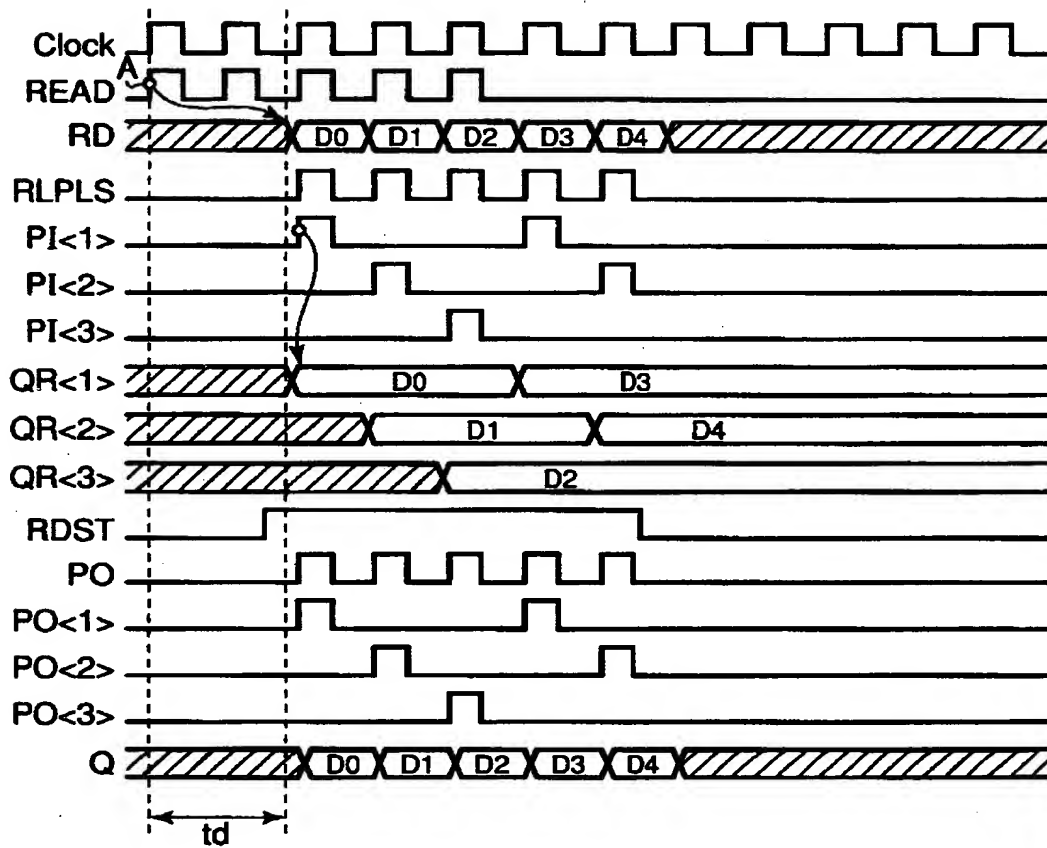
【図 4】



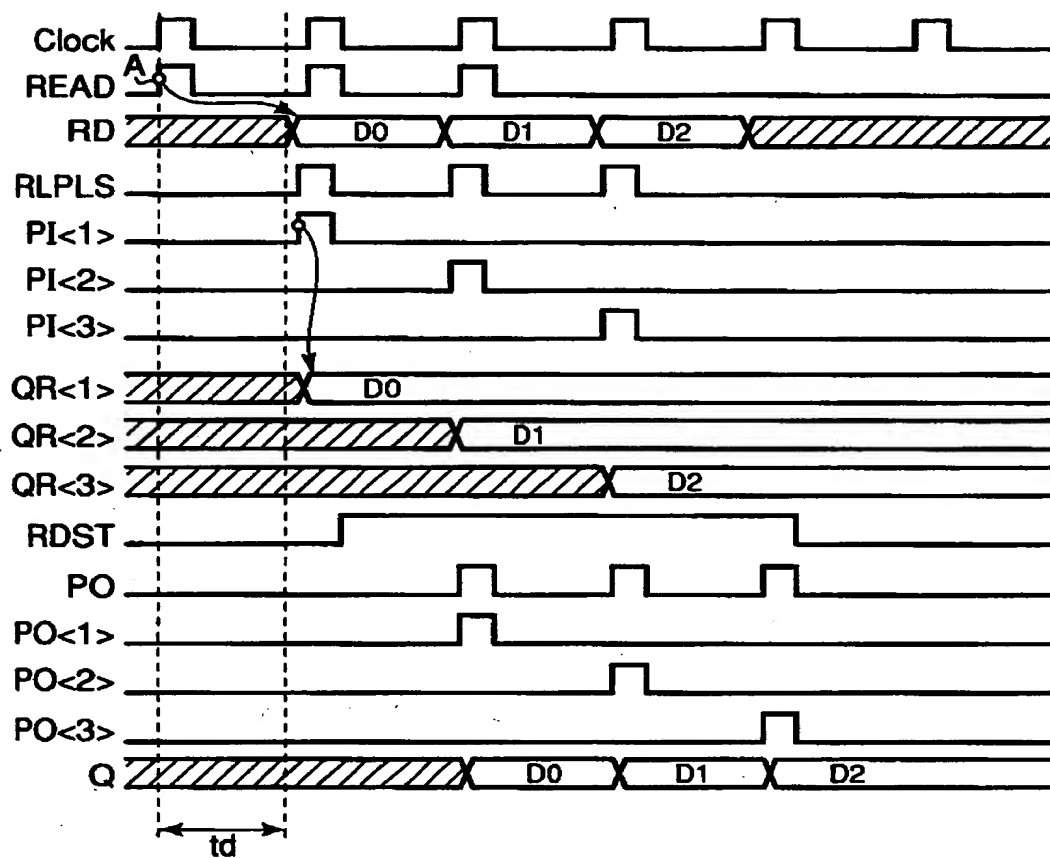
【図 5】



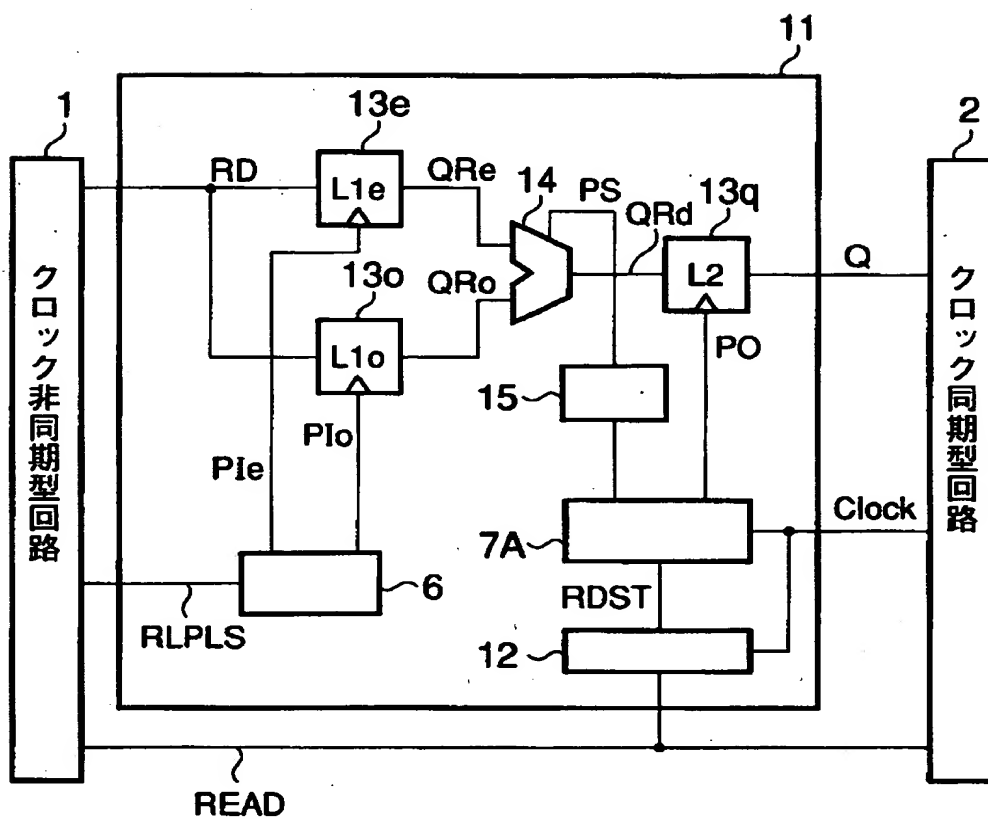
【図 6】



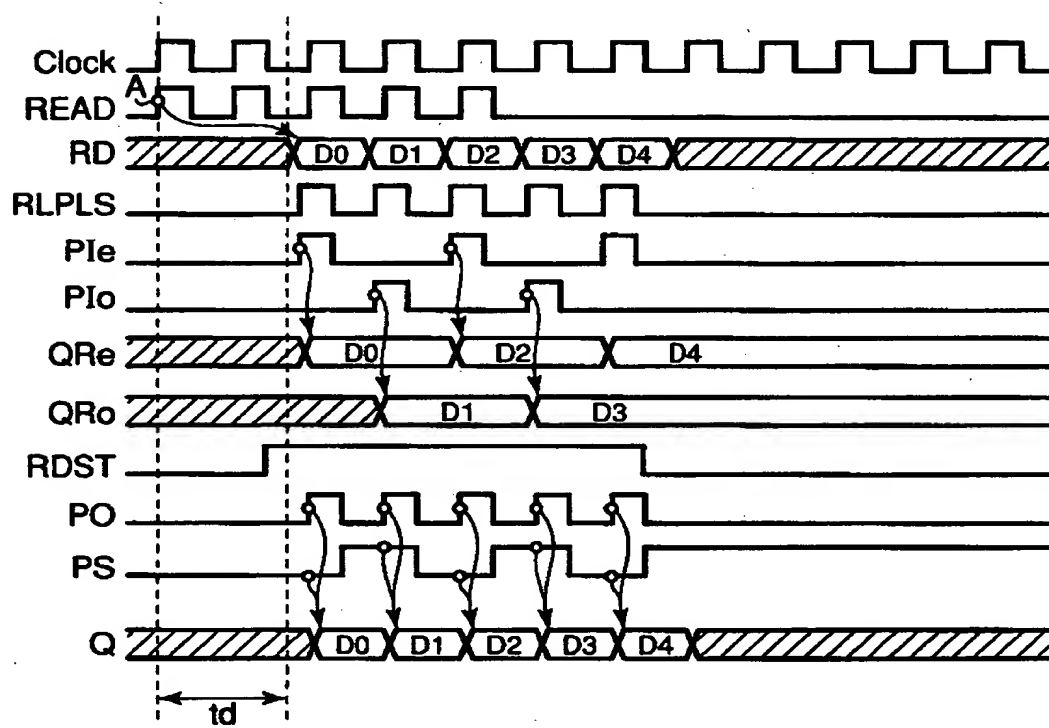
【図 7】



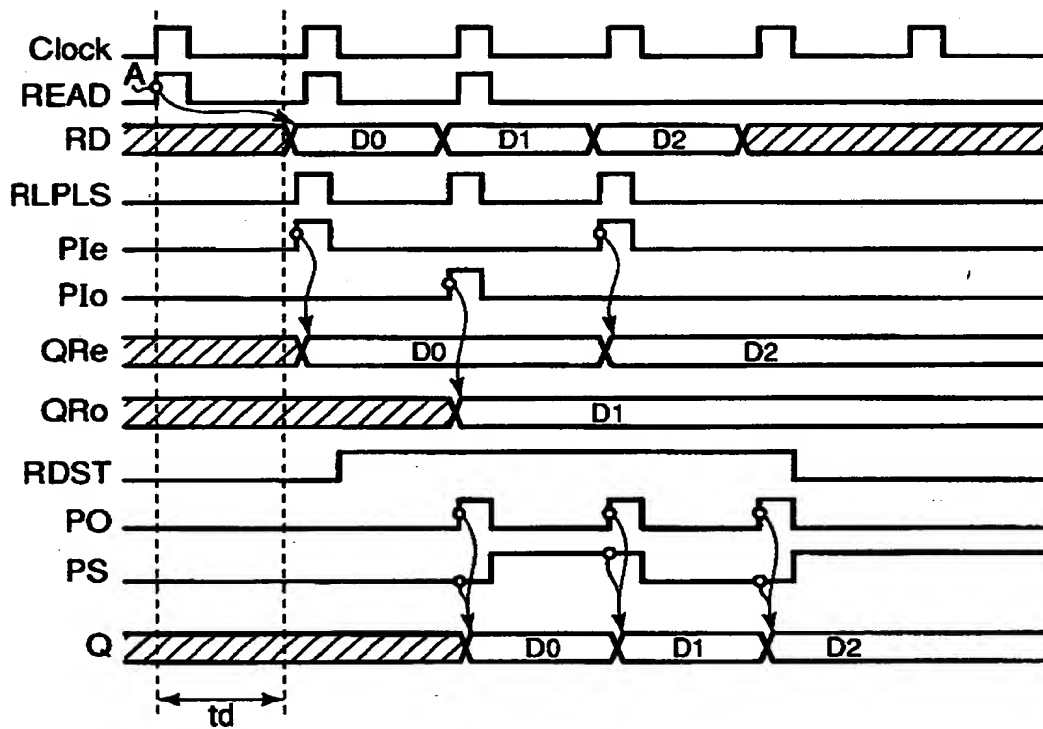
【図 8】



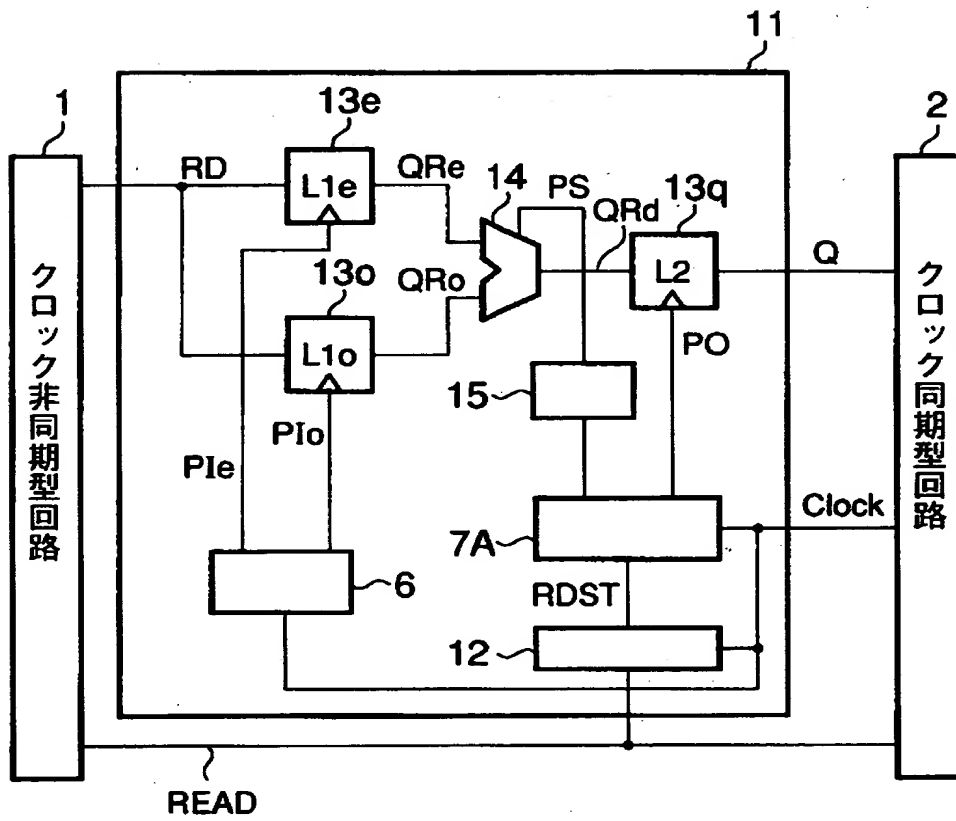
【図 9】



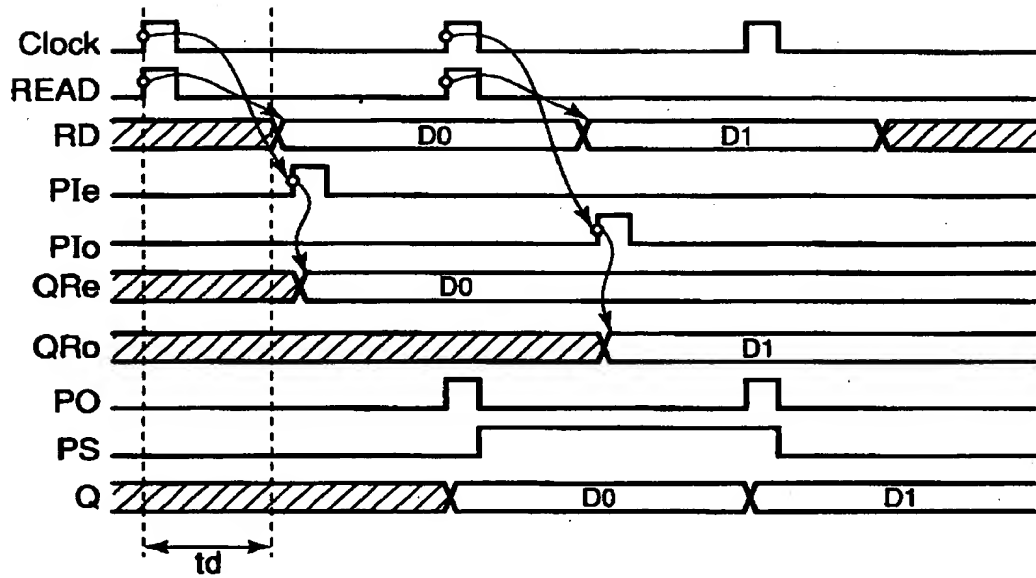
【図 10】



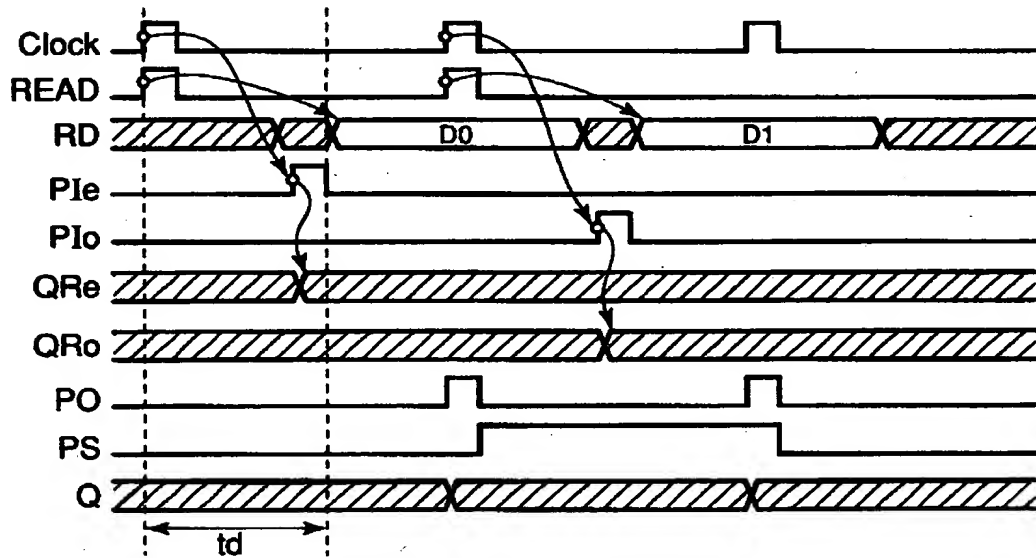
【図11】



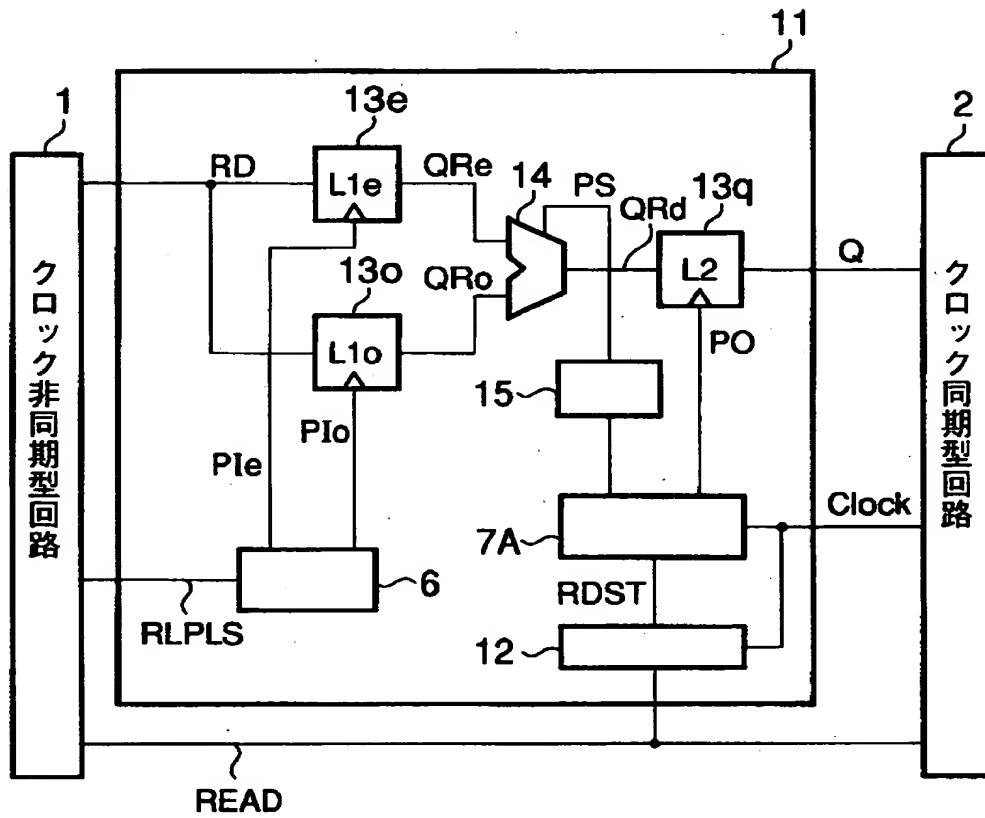
【図 1 2】



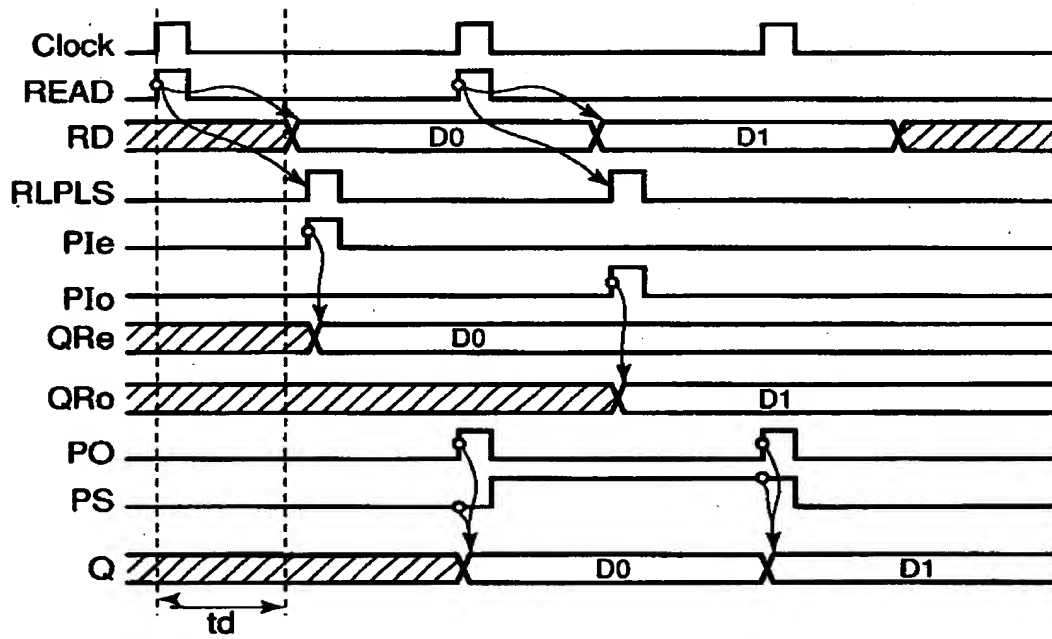
【図 1 3】



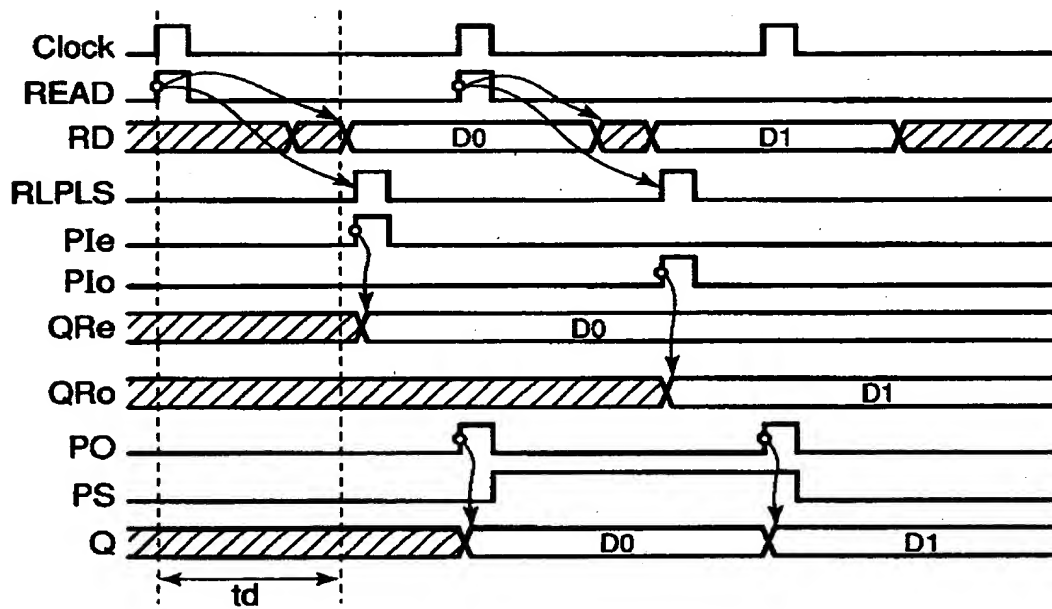
【図14】



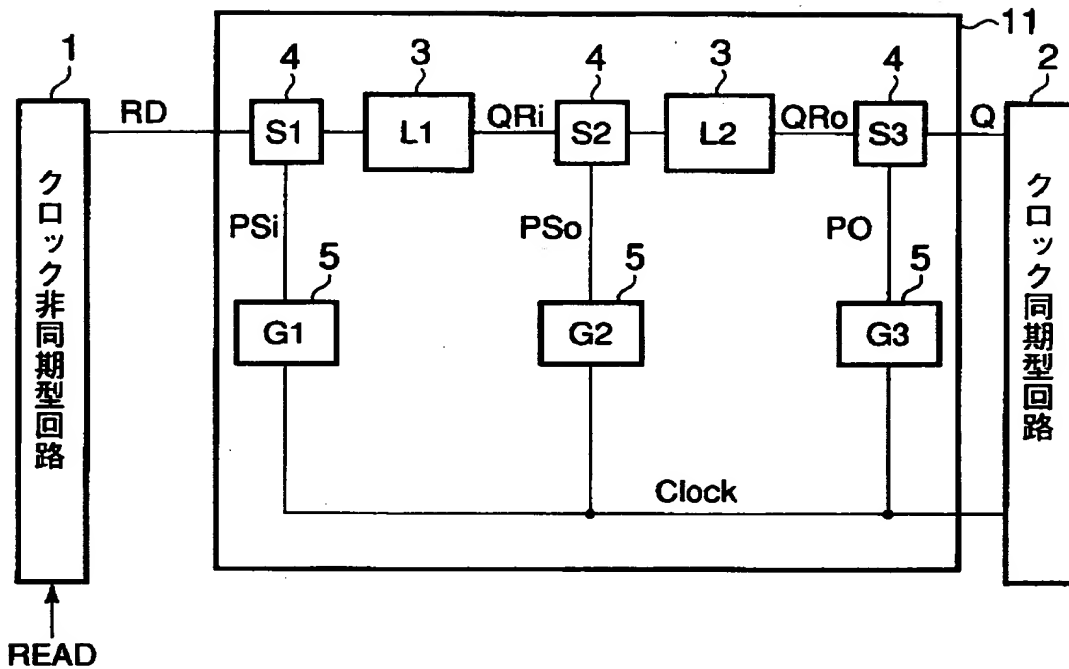
【図 15】



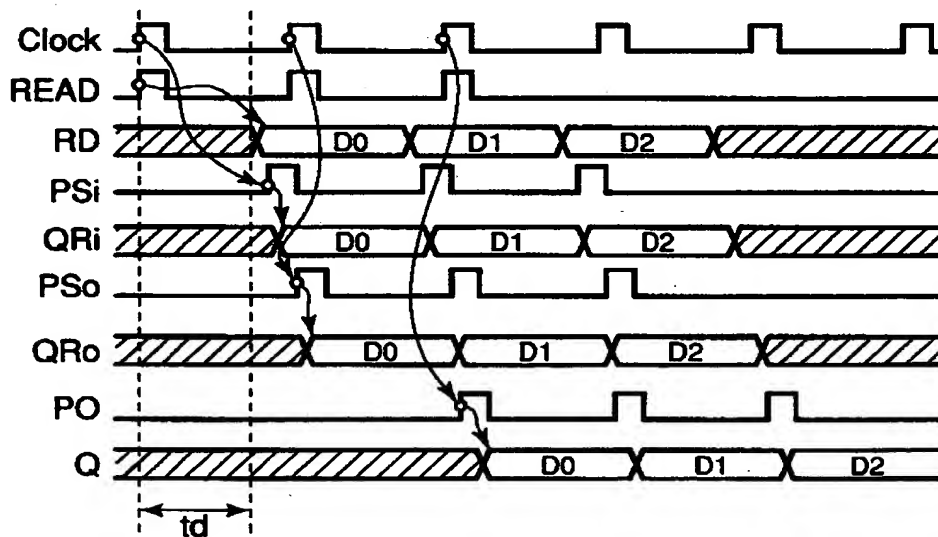
【図 16】



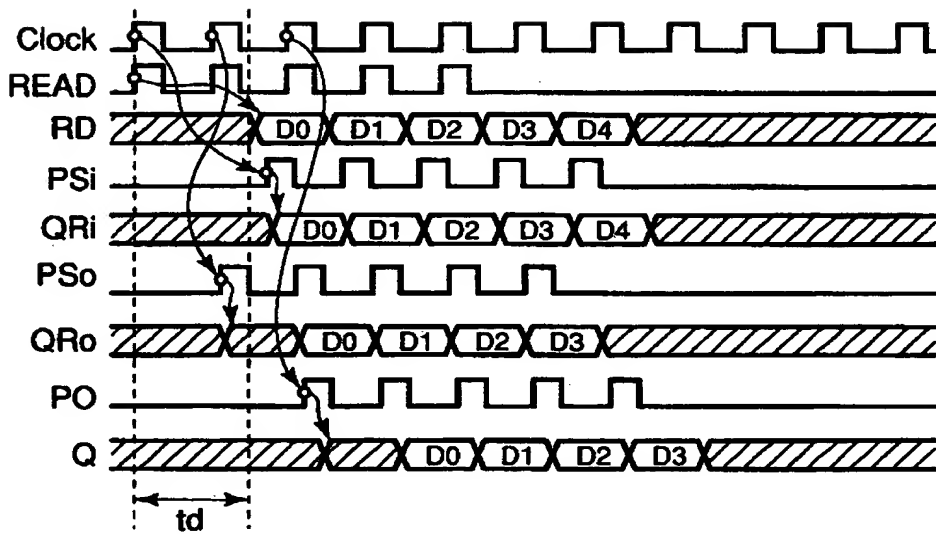
【図 17】



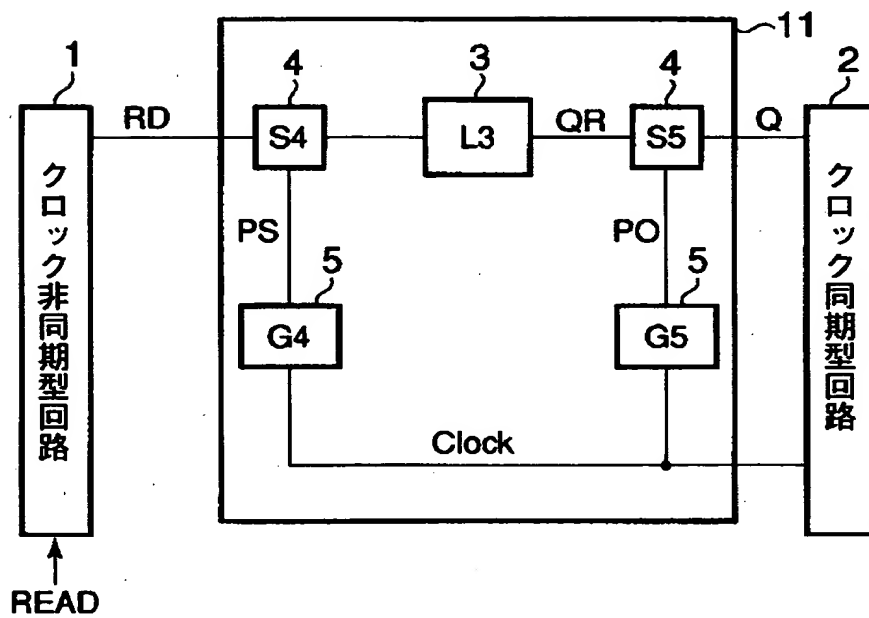
【図 18】



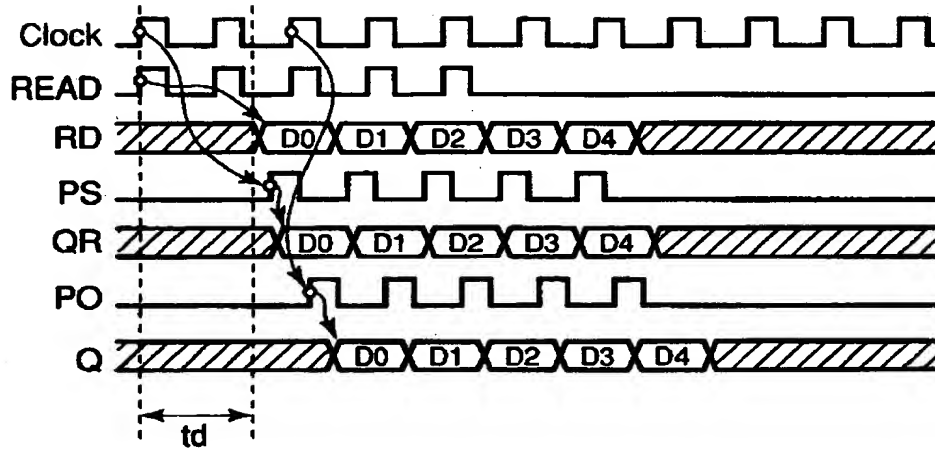
【図19】



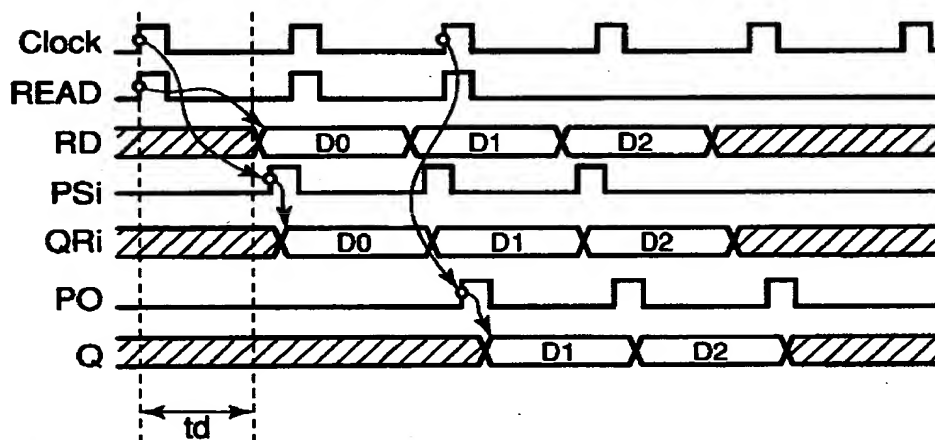
【図20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 動作周波数やリード時間の変動に対しても、常に、一定のレイテンシで、データ転送を行う。

【解決手段】 クロック非同期型回路 1 は、リード制御信号 R E A D に基づいてデータリード動作を行う。一定の遅延時間 t_d が経過した後に、リードデータ R D は、クロック非同期型回路 1 から読み出される。リードデータ R D は、N 個のラッチ回路 (R 1, R 2, . . . R N) 3 のうち、選択された 1 つのラッチ回路内にラッチされる。ラッチ回路の選択は、クロック信号 C l o c k ではなく、制御信号 R L P L S に基づいて行われる。制御信号 R L P L S は、クロック非同期型回路 1 からリードデータ R D が出力されたことを示す信号であるから、常に、リードデータ R D が出力された後に、ラッチ回路の選択が行われる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝